

明細書

プラズマディスプレイ装置及びその駆動方法

技術分野

本発明は、1フィールドを複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ表示装置及びその駆動方法に関するものである。

背景技術

プラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このようなプラズマディスプレイ装置に用いられるAC型プラズマディスプレイパネルとしては、例えば、特開2001-195990号公報に開示されるように、面放電を行う走査電極及び維持電極を複数配列して形成したガラス基板からなる前面板と、データ電極を複数配列した背面板とを、走査電極及び維持電極とデータ電極とが直交するように組み合わせてマトリックス状に放電セルを形成するものがある。

上記のように構成されたプラズマディスプレイパネルを駆動する方法として、重み付けられた複数の二値画像を時間的に重ねることにより中間調を表示するサブフィールド法がある。このサブフィールド法では、1フィールドが複数のサブフィールドに時間分割されており、各サブフィールドはそれぞれ重み付けされている。各サブフィールドの重み量は、各サブフィールドの発光量に対応し、例えば、発光回数が重み量として用いられ、各サブフィールドの重み量の合計量が映像信号の輝度すなわち階調レベルに対応する。

また、各サブフィールドは、セットアップ期間、アドレス期間及び維持期間から構成され、セットアップ期間において各電極の壁電荷が調整され、アドレス期間においてデータ電極と走査電極との間で書き込み放電が発生し、維持期間において書き込み放電が発生した放電セルのみが

走査電極と維持電極との間で維持放電を行う。この維持放電による発光回数が各サブフィールドの重み量となり、発光回数に応じた輝度で種々の映像が階調表示される。

しかしながら、上記のAC型プラズマディスプレイパネルでは、安定な維持放電を発生させるために、放電セルを形成するデータ電極と走査電極との間に強い書き込み放電を発生させており、この書き込み放電時に当該放電セルの走査電極と維持電極との間で強い放電が発生する。この強い放電により隣接する放電セルの走査電極と維持電極との間で誤放電が起こり、隣接するライン間にクロストークが発生して表示画像の品質を悪化させる。また、強い書き込み放電による発光は不要光となるため、無信号時における黒輝度を充分に低くすることができず、表示画像の品質を悪化させる。

発明の開示

本発明の目的は、クロストークを充分に低減することができるとともに、無信号時における黒輝度を充分に低くすることができるプラズマディスプレイ装置及びその駆動方法を提供することである。

本発明の一局面に従うプラズマディスプレイ装置は、1フィールドを、各々がセットアップ期間、アドレス期間及び維持期間を含む複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ装置であって、走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として複数の走査電極及び複数の維持電極が形成されるとともに、隣接する走査電極に対向して複数のプライミング電極が形成され、さらに、走査電極及び維持電極と交わる方向に複数のデータ電極が形成されたAC型プラズマディスプレイパネルと、セットアップ期間において、前サブフィールドで維持放電を行った走査電極及び維持電極の壁電荷を調整する第1の駆動手段と、アドレス期間において、第1の駆動手段により壁電荷が調整された走査電極に書き込みパルスを印加して当該走査電極とプライミング電極との間のプライミング放電を発生させる

とともに、データ電極に書き込みパルスを印加してプライミング放電を利用して書き込み放電を発生させる第2の駆動手段と、維持期間において、第2の駆動手段により書き込み放電が発生した走査電極と維持電極との間で維持放電を発生させ、維持放電後に走査電極に正電荷及び維持電極に負電荷を蓄積させる第3の駆動手段とを備え、第1の駆動手段は、セットアップ期間において、第3の駆動手段により蓄積された走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、第3の駆動手段により蓄積された維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させるものである。

このプラズマディスプレイ装置では、セットアップ期間において、前サブフィールドで維持放電を行った走査電極及び維持電極の壁電荷を調整しているので、維持放電により減少した走査電極の壁電荷を補充することができ、アドレス期間において書き込み放電を安定に行うことができる。また、アドレス期間において走査電極とプライミング電極との間のプライミング放電を利用して走査電極とデータ電極との間の書き込み放電を発生させているので、書き込み放電を弱い放電で安定に行うことができる。したがって、弱い書き込み放電により不要光を低減することができる、無信号時における黒輝度を充分に低くすることができる。

また、維持期間において、書き込み放電が発生した走査電極の維持放電後に走査電極に正電荷及び維持電極に負電荷を蓄積させ、セットアップ期間において、蓄積された走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、蓄積された維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させている。ここで、走査電極及び維持電極は走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として形成されているので、一つの放電セルを形成する維持電極には、当該放電セルに隣接する放電セルを形成する維持電極が隣接し、両維持電極間には負電荷が残留することになる。したがって、隣接する放電セル間においてこの負電荷が電位障壁として

機能し、一方の放電セルのアドレス期間における書き込み放電が他方の放電セルに広がることを抑制することができるので、隣接するライン間のクロストークを充分に低減することができる。

さらに、セットアップ期間における一部の電荷の反転は低い電位により発生させることができるので、第1の駆動手段を構成する駆動回路の低コスト化を図ることができる。

第3の駆動手段は、走査電極に印加する最後の維持パルスのパルス幅を他の維持パルスのパルス幅より長くすることが好ましい。

この場合、走査電極と維持電極との間で強い維持放電を発生させることができるので、走査電極及び維持電極に所定の電荷を全面に且つ均一に形成することができる。

第1の駆動手段は、垂直同期期間に1回印加される垂直同期用セットアップパルスを維持電極に印加する際、少なくとも表示装置の電源がオンされた場合に第1の電圧で垂直同期用セットアップパルスを印加し、その他の場合に第1の電圧より低い第2の電圧で垂直同期用セットアップパルスを印加することが好ましい。

この場合、表示装置の電源がオンされたとき以外は、垂直同期用セットアップパルスを低い電圧で維持電極に印加することができるので、このパルスによる放電を弱くすることができ、無信号時における黒輝度をより低くすることができる。

第3の駆動手段は、維持期間において走査電極に印加される最後の維持パルスにより走査電極とプライミング電極との間で放電を発生させてプライミング電極の壁電荷を調整することが好ましい。

この場合、走査電極に印加される最後の維持パルスにより走査電極とプライミング電極との間で放電を発生させてプライミング電極の壁電荷を調整しているので、この放電から次のサブフィールドのセットアップ期間におけるセットアップ放電までの時間を短縮することができ、次のセットアップ放電にプライミング効果を利用することができる。この結果、セットアップ放電が弱い放電である場合でも、セットアップ放電を

安定に行うことができるので、セットアップ期間における不要光を低減して黒輝度をより低減することができるとともに、書き込み放電も安定に行うことができる。

第1の駆動手段は、セットアップ期間においてプライミング電極を第1の電圧に保持し、第2の駆動手段は、アドレス期間において書き込み放電が発生する前にプライミング電極を第1の電圧から第1の電圧より高い第2の電圧に立ち上げて保持し、第3の駆動手段は、維持期間においてプライミング電極を第2の電圧から第1の電圧に立ち下げることが好ましい。

この場合、プライミング電極に印加すべき電圧が2値となるので、プライミング電極の駆動回路の構成を簡略化することができるとともに、消費電力及び電磁波障害を低減することができる。

第1の駆動手段は、セットアップ期間において走査電極と維持電極との放電前に走査電極とプライミング電極との間に放電を発生させてプライミング電極の壁電荷を調整してもよい。

この場合、セットアップ期間において、走査電極と維持電極との放電前に走査電極とプライミング電極との間に放電を発生させてプライミング電極の壁電荷を調整しているので、走査電極とプライミング電極との放電によるプライミング効果を走査電極と維持電極とのセットアップ放電に利用することができる。この結果、セットアップ放電が弱い放電である場合でも、セットアップ放電を安定に行うことができ、セットアップ期間における不要光を低減して黒輝度をより低減することができるとともに、書き込み放電も安定に行うことができる。

第1の駆動手段は、セットアップ期間において走査電極と維持電極との放電前にプライミング電極を第1の電圧から第1の電圧より低い第2の電圧に立ち下げて保持し、第2の駆動手段は、アドレス期間において書き込み放電が発生する前にプライミング電極を第2の電圧から第1の電圧に立ち上げて保持してもよい。

この場合、プライミング電極に印加すべき電圧が2値となるので、ブ

ライミング電極の駆動回路の構成を簡略化することができるとともに、消費電力及び電磁波障害を低減することができる。

プラズマディスプレイパネルは、プライミング電極に対向する位置に形成された光吸収層を備えることが好ましい。

この場合、走査電極とプライミング電極との間で発生する放電により放射される光を光吸収層により吸収することができるので、走査電極とプライミング電極との間の放電を強放電で行うことができ、当該放電のプライミング効果を充分に利用することができる。

第1の駆動手段は、垂直同期期間に1回設けられるセットアップ期間を他のセットアップ期間より長く設定することが好ましい。この場合、垂直同期期間に1回設けられるセットアップ期間において各電極の壁電荷を充分に調整し、その後のプライミング放電をより安定に発生させることができる。

第2の駆動手段は、アドレス期間において、第1の駆動手段により壁電荷が調整された走査電極の電圧を所定の電圧に立ち上げた後にプライミング電極の電圧を所定の電圧に立ち上げることが好ましい。この場合、その後のプライミング放電をより安定に発生させることができる。

本発明の他の局面に従うプラズマディスプレイ装置の駆動方法は、走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として複数の走査電極及び複数の維持電極が形成されるとともに、隣接する走査電極に対向してプライミング電極が形成されたA C型プラズマディスプレイパネルを備え、1フィールドを、各々がセットアップ期間、アドレス期間及び維持期間を含む複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ装置の駆動方法であって、セットアップ期間において、前サブフィールドで維持放電を行った走査電極及び維持電極の壁電荷を調整する調整ステップと、アドレス期間において、調整ステップにおいて壁電荷が調整された走査電極に書き込みパルスを印加して当該走査電極とプライミング電極との間のプライミング放電を発生させるとともに、データ電極に書き込みパルスを印加してプライ

ミング放電を利用して書き込み放電を発生させる書き込みステップと、維持期間において、書き込みステップにおいて書き込み放電が発生した走査電極と維持電極との間で維持放電を発生させ、維持放電後に走査電極に正電荷及び維持電極に負電荷を蓄積させる維持ステップとを含み、調整ステップは、セットアップ期間において、維持ステップにおいて蓄積された走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、維持ステップにおいて蓄積された維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させるステップを含むものである。

このプラズマディスプレイ装置の駆動方法においては、セットアップ期間において走査電極及び維持電極の壁電荷を調整し且つアドレス期間において走査電極とプライミング電極との間のプライミング放電を利用して書き込み放電を発生させているので、書き込み放電を弱くして不要光を低減することができ、無信号時における黒輝度を充分に低くすることができます。また、セットアップ期間において走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させているので、隣接する維持電極間の負電荷を電位障壁として機能させてアドレス期間における書き込み放電が隣接する放電セルに広がることを抑制することができ、隣接するライン間のクロストークを充分に低減することができる。さらに、セットアップ期間における一部の電荷の反転は低い電位により発生させることができるので、駆動回路の低コスト化を図ることができる。

図面の簡単な説明

図1は、本発明の第1の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

図2は、図1に示すPDPの断面図である。

図3は、図2に示すPDPの表面基板側の電極配列を模式的に示す平

面図である。

図4は、図2に示すPDPの背面基板側を模式的に示す平面図である。

図5は、図4のA-A線断面図である。

図6は、図4のB-B線断面図である。

図7は、図4のC-C線断面図である。

図8は、図1に示すプラズマディスプレイ装置の駆動波形の一例を示す図である。

図9は、データ電極と走査電極との間で発生する書き込み放電を説明するための模式図である。

図10は、本発明の第2の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図11は、本発明の第3の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図12は、本発明の第4の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図13は、本発明の第5の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図14は、本発明の第6の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図15は、本発明の第7の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図16は、本発明の第8の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図17は、本発明の第9の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図18は、本発明の第10の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図19は、本発明の第11の実施の形態によるプラズマディスプレイ

装置の駆動波形の一例を示す図である。

図20は、本発明の第12の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

発明を実施するための最良の形態

以下、本発明に係るプラズマディスプレイ装置について説明する。図1は、本発明の第1の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

図1のプラズマディスプレイ装置は、プラズマディスプレイパネル（以下、PDPと略す）1、アドレスドライバ2、スキャンドライバ3、サステインドライバ4、A/Dコンバータ（アナログ・デジタル変換器）5、走査数変換回路6、適応型輝度強調回路7、サブフィールド変換回路8、放電発生回路9、セットアップ回路10、11、プライミング放電発生回路12及びプライミングドライバ13を備える。

A/Dコンバータ5には映像信号VDが入力される。また、図示を省略しているが、A/Dコンバータ5、走査数変換回路6、適応型輝度強調回路7、サブフィールド変換回路8、放電発生回路9等には水平同期信号Hおよび垂直同期信号Vが与えられる。A/Dコンバータ5は、映像信号VDをデジタルの画像データに変換し、その画像データを走査数変換回路6に与える。走査数変換回路6は、画像データをPDP1の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データを適応型輝度強調回路7に与える。

適応型輝度強調回路7は、映像信号の平均輝度レベルに応じたサブフィールド数及び維持パルス数等を決定し、決定したサブフィールド数等とともにPDP1の画素数に応じたライン数の画像データをサブフィールド変換回路8に与え、決定した維持パルス数等を放電発生回路9へ与える。適応型輝度調整回路7としては、例えば、特許第2994630号公報に記載の回路を適用することができるが、この例に特に限定されず、他の適応型輝度調整回路を用いてもよい。

各ラインごとの画像データは、各ラインの複数の画素にそれぞれ対応する複数の画素データからなる。サブフィールド変換回路8は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応する複数のビットに分割し、各サブフィールドごとに各画素データの各ビットをアドレスドライバ2にシリアルに出力する。

図1に示すプラズマディスプレイ装置では、書き込み放電を行うアドレス期間と維持放電を行う維持期間とを分離して放電セルを放電させるアドレス・サステイン分離駆動方式（以下、ADS方式と略す）が用いられている。ADS方式では、1フィールド（ $1 / 60\text{ 秒} = 16.67\text{ ms}$ ）を複数のサブフィールドに時間的に分割する。各サブフィールドは、セットアップ期間、アドレス期間及び維持期間に分離され、セットアップ期間において各サブフィールドのセットアップ処理が行われ、アドレス期間において点灯される放電セルを選択するための書き込み放電が行われ、維持期間において表示のための維持放電が行われる。

放電発生回路9は、水平同期信号H、垂直同期信号V及び維持パルス数等を基に各種放電制御タイミング信号を発生し、スキャンドライバ用の書き込み放電及び維持放電制御タイミング信号をセットアップ回路10へ与え、サステインドライバ用の書き込み放電及び維持放電制御タイミング信号をセットアップ回路11へ与え、水平同期信号H、垂直同期信号V及び維持パルス数等の各種タイミング信号をプライミング放電発生回路12へ与える。

セットアップ回路10は、スキャンドライバ用の書き込み放電及び維持放電制御タイミング信号にセットアップパルスを重畠してスキャンドライバ用の放電制御信号をスキャンドライバ3へ与える。セットアップ回路11は、サステインドライバ用の書き込み放電及び維持放電制御タイミング信号にセットアップパルスを重畠してサステインドライバ用の放電制御信号をサステインドライバ4へ与える。プライミング放電発生回路12は、プライミングドライバ用の放電制御タイミング信号をプライミングドライバ13へ与える。

PDP 1は、AC型プラズマディスプレイパネルであり、複数のデータ電極31、複数の走査電極21、複数の維持電極22及び複数のプライミング電極33を含む。複数のデータ電極31は、画面の垂直方向に配列され、複数の走査電極21および複数の維持電極22は、画面の水平方向に配列されている。データ電極31、走査電極21および維持電極22の各交点には、放電セルが形成され、各放電セルが画面上の画素を構成する。

スキャンドライバ3は、PDP 1の複数の走査電極21に接続され、スキャンドライバ用の放電制御信号に従い、セットアップ期間においてセットアップパルスを走査電極21に印加する。サステインドライバ4は、PDP 1の複数の維持電極22に接続され、サステインドライバ用の放電制御タイミング信号に従い、セットアップ期間においてセットアップパルスを維持電極22に印加する。これにより、該当する放電セルにおいてセットアップ放電が行われる。

プライミングドライバ13は、PDP 1の複数のプライミング電極33に接続され、プライミングドライバ用の放電制御信号に従い、セットアップ期間においてセットアップパルスをプライミング電極33に印加する。これにより、該当するプライミング電極と走査電極との間でセットアップ放電が行われる。

アドレスドライバ2は、PDP 1の複数のデータ電極31に接続され、サブフィールド変換回路8から各サブフィールドごとにシリアルに与えられるデータをパラレルデータに変換し、そのパラレルデータに基づいてアドレス期間において該当するデータ電極31に書き込みパルスを印加する。スキャンドライバ3は、スキャンドライバ用の放電制御信号に従い、アドレス期間においてシフトパルスを垂直走査方向にシフトしつつPDP 1の複数の走査電極21に書き込みパルスを順に印加する。プライミングドライバ13は、プライミングドライバ用の放電制御信号に従い、アドレス期間においてPDP 1の複数のプライミング電極33の電圧を所定の高電圧に保持する。これにより、走査電極21とプライ

ミング電極 3 3との間でプライミング放電が発生し、このプライミング放電を利用して走査電極 2 1とデータ電極 3 1との間で書き込み放電が行われる。

スキャンドライバ 3は、スキャンドライバ用の放電制御信号に従い、維持期間において周期的な維持パルスを P D P 1の複数の走査電極 2 1に印加する。サステインドライバ 4は、サステインドライバ用の放電制御タイミング信号に従い、維持期間において P D P 1の複数の維持電極 2 2に、走査電極 2 1の維持パルスに対して 180° 位相のずれた維持パルスを同時に印加する。これにより、該当する放電セルにおいて維持放電が行われる。

次に、上記の P D P 1の構成についてさらに詳細に説明する。図 2は、図 1に示す P D P の断面図であり、図 3は、図 2に示す P D P の表面基板側の電極配列を模式的に示す平面図であり、図 4は、図 2に示す P D P の背面基板側を模式的に示す平面図であり、図 5は、図 4の A-A 線断面図であり、図 6は、図 4の B-B 線断面図であり、図 7は、図 4の C-C 線断面図である。

図 2等に示すように、P D P 1では、ガラス製の表面基板 2 0と、ガラス製の背面基板 3 0とが放電空間 4 0を挟んで対向して配置され、放電空間 4 0には放電によって紫外線を放射するガス（ネオン、キセノン等）が封入されている。表面基板 2 0上には、誘電体層 2 3及び保護膜 2 4で覆われ且つ対をなす帯状の走査電極 2 1及び維持電極 2 2からなる電極群が、互いに平行になるように配列されている。走査電極 2 1及び維持電極 2 2は、それぞれ透明電極 2 1a, 2 2aと、透明電極 2 1a, 2 2a上に重なるように形成され且つ導電性を高めるための銀等からなる金属母線 2 1b, 2 2bとから構成されている。

また、図 3に示すように、走査電極 2 1と維持電極 2 2とは、走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として形成され、隣接する走査電極 2 1間と、隣接する維持電極 2 2間とには、黒色材料からなる光吸收層 2 5が設けられる。

一方、図2等に示すように、背面基板30上には、走査電極21及び維持電極22と直交する方向に、複数の帯状のデータ電極31が互いに平行に配列されている。また、背面基板30上には、走査電極21及び維持電極22とデータ電極31とで形成される複数の放電セルを区画するための障壁35が形成されている。障壁35により区画されたセル空間41の背面基板30側には、放電セルに対応して形成された蛍光体層36が設けられている。

また、図4等に示すように、障壁35は、縦壁部35a及び横壁部35bから構成され、縦壁部35aは、走査電極21及び維持電極22と直交する方向、すなわちデータ電極31と平行な方向に延び、横壁部35bは、縦壁部35aに交差するように形成される。したがって、縦壁部35a及び横壁部35bからセル空間41が形成されるとともに、セル空間41間に隙間部42が形成される。また、障壁35の横壁部35b間に形成された隙間部42の空間に対応する位置に、上記の光吸収層25が形成される。

背面基板30の隙間部42側には、隙間部42内の空間において走査電極21との間でプライミング放電を行うためのプライミング電極33が、隣接する走査電極21に対向し且つデータ電極31と直交する方向に形成され、放電セルに隣接するプライミングセルが形成される。プライミング電極33は、データ電極31を覆う誘電体層32上に形成され、データ電極31よりも隙間部42内の空間に近い位置に形成される。

また、プライミング電極33は、書き込みパルスが印加される走査電極21が隣り合う部分に対応する隙間部42のみに形成され、一方の走査電極21の金属母線21bの一部は、隙間部42側に延出して光吸収層25上に形成される。表面基板20側に形成された隣接する2つの走査電極21のうち隙間部42の領域の方向に突出した金属母線21bと、背面基板30側に形成されたプライミング電極33との間でプライミング放電が行われる。

本実施の形態では、アドレスドライバ2、スキャンドライバ3、サス

テインドライバ4、放電発生回路9、セットアップ回路10、11、プライミング放電発生回路12及びプライミングドライバ13が第1乃至第3の駆動手段の一例に相当する。

なお、本発明に適用可能なPDPは、上記の構成に特に限定されず、セル空間の間に隙間部を形成し、隙間部内の空間において表面基板と背面基板との間でプライミング放電を発生させることができれば、以下のように種々の変更が可能である。すなわち、パネル周辺部の表示領域以外の部分に表面基板と背面基板との間でプライミング放電を発生させる放電領域を形成してもよい。また、プライミング電極をデータ電極と平行に配置し、このプライミング電極と走査電極との間でプライミング放電を発生させてもよい。また、背面基板側に形成されるプライミング電極に加えて、表面基板側の隙間部に対応する領域に新たなプライミング電極を形成し、両プライミング電極間でプライミング放電を発生させてもよい。

次に、上記のように構成されたプラズマディスプレイ装置の動作について説明する。図8は、図1に示すプラズマディスプレイ装置の駆動波形の一例を示す図である。なお、図8に示す各駆動パルスの電圧は一例であり、PDP1の放電特性等に応じて適宜変更可能である。この点について他の実施の形態も同様である。

本実施の形態では、1フィールドが複数のサブフィールドに分割され、図8に示す最初のセットアップ期間S1、アドレス期間A1及び維持期間U1は、最初のサブフィールドに対応する期間であり、1垂直同期期間すなわちフィールドごとに1回設けられる期間である。後続のセットアップ期間S2、アドレス期間A2及び維持期間U2は、最初のサブフィールド以降の各サブフィールドに対応する期間であり、後続の各サブフィールドにおいてセットアップ期間S2、アドレス期間A2及び維持期間U2が繰り返される。なお、維持期間U1と維持期間U2との駆動波形はパルス数等を除き基本的に同一である。

まず、最初のサブフィールドのセットアップ期間S1において、アド

レスドライバ2は、データ電極31を0Vに保持する。スキャンドライバ3は、走査電極21の電圧をランプ波形により0Vから-170Vまで順次降下させ、その後、走査電極21の電圧を-170Vから0Vに立ち上げる。サステインドライバ4は、垂直同期期間に1回印加される垂直同期用セットアップパルスを印加して維持電極22の電圧を0Vから350Vに立ち上げて保持し、走査電極21が-170Vから0Vに立ち上げられたときに、維持電極22の電圧を350Vから0Vに立ち下げて保持する。このとき、走査電極21、維持電極22及びデータ電極31の三電極間で壁電荷を調整するセットアップ放電が発生し、走査電極21に正電荷が、維持電極22に負電荷が、データ電極31に負電荷がそれぞれ均一に且つ全面に蓄積される。なお、垂直同期用セットアップパルスの電圧としては、350Vに特に限定されず、300V～350Vの範囲内で他の電圧を用いてもよい。

また、最初のサブフィールドのセットアップ期間S1において、プライミングドライバ13は、プライミング電極33の電圧を-100Vから0Vに立ち上げて保持し、走査電極21が-170Vから0Vに立ち上げられたときに、プライミング電極33の電圧を0Vから-100Vに立ち下げて保持する。このとき、走査電極21とプライミング電極33との間で壁電荷を調整するセットアップ放電が発生し、プライミング電極33に正電荷が蓄積される。また、上記の期間において、維持電極22が350Vに立ち上げられて保持されているときにプライミング電極33も0Vに立ち上げられて保持されているので、上記の走査電極21と維持電極22との間の放電を安定に行いながら、維持電極22とプライミング電極33との間で不要な放電が発生することを防止することができ、電極間の干渉をなくすことができる。

次に、スキャンドライバ3は、走査電極21の電圧をランプ波形により0Vから250Vまで順次上昇させた後、走査電極21の電圧を250Vから0Vに立ち下げ、さらに、ランプ波形により0Vから-170Vまで順次降下させる。サステインドライバ4は、走査電極21の電圧

がランプ波形により 0 V から -170 V に降下しているときに、維持電極 22 の電圧を 0 V から 50 V に立ち上げて保持する。このとき、走査電極 21 と維持電極 22 との間で微弱な放電が発生し、走査電極 21 の維持電極側の一部の正電荷のみが負電荷に反転し、維持電極 22 の走査電極側の一部の負電荷のみが正電荷に反転する。また、このとき、プライミングドライバ 13 は、プライミング電極 33 の電圧を -100 V から 0 V に立ち上げて保持している。

また、垂直同期期間に 1 回設けられるセットアップ期間 S1 は、他のセットアップ期間 S2 より長く設定されているので、垂直同期期間に 1 回設けられるセットアップ期間 S1 において各電極の壁電荷を充分に調整し、その後のプライミング放電をより安定に発生させることができる。

次に、アドレス期間 A1 において、まず、スキャンドライバ 3 は、走査電極 21 の電圧を -170 V から -50 V に立ち上げて保持し、その後、サステインドライバ 4 は、維持電極 22 の電圧を 50 V から 150 V に立ち上げて保持し、その後、プライミングドライバ 13 は、プライミング電極 33 の電圧を 0 V から 100 V に立ち上げて保持している。このように、アドレス期間 A1 において、壁電荷が調整された走査電極 21 の電圧を所定の電圧に立ち上げた後にプライミング電極 33 の電圧を所定の電圧に立ち上げているので、その後のプライミング放電をより安定に発生させることができる。他のアドレス期間 A2 も同様である。

次に、アドレスドライバ 2 は、正の書き込みパルスを印加してデータ電極 31 の電圧を 0 V から 70 V に立ち上げ、スキャンドライバ 3 は、負の書き込みパルスを印加して走査電極 21 の電圧を -50 V から -180 V に立ち下げるとき、走査電極 21 とプライミング電極 33 との間でプライミング放電が発生し、このプライミング放電を利用してデータ電極 31 と走査電極 21 との間で書き込み放電が発生する。所定時間経過後、スキャンドライバ 3 は、走査電極 21 の電圧を -50 V から 0 V に立ち上げて保持する。

図9は、データ電極と走査電極との間で発生する書き込み放電を説明するための模式図である。図9に示すように、書き込みパルスを印加する前は、走査電極21nの維持電極22n側の一部のみに負電荷が蓄積され、その他の部分すなわち走査電極21nの走査電極（図示省略）側には正電荷が蓄積され、一方、維持電極22nの走査電極21n側の一部のみに正電荷が蓄積され、その他の部分すなわち維持電極22nの維持電極22n+1側には負電荷が蓄積され、維持電極22n+1及び走査電極21n+1にも同様に電荷が蓄積されている。

このとき、書き込みパルスが印加されると、走査電極21nとプライミング電極33（図示省略）との間でプライミング放電が発生し、このプライミング放電を利用してデータ電極31と走査電極21nとの間で弱い書き込み放電が発生し、この弱い書き込み放電をトリガーとして走査電極21nと維持電極22nとの間で弱い放電が発生する。この走査電極21nと維持電極22nとの間の放電は、走査電極21nと維持電極22nとの間の放電ギャップG1付近のみで発生するとともに、維持電極22nと維持電極22n+1との間のギャップG2には、電子による電位障壁が形成されているため、走査電極21nと維持電極22nとの間の放電が維持電極22n+1側に広がることを防止することができ、隣接するライン間のクロストークを防止することができる。

次に、維持期間U1において、スキャンドライバ3は、走査電極21に200Vの維持パルスを順次印加し、サステインドライバ4は、走査電極21の維持パルスに対して180°位相のずれた200Vの維持パルスを維持電極22に順次印加し、維持放電を発光輝度に応じた回数だけ繰り返し発生させる。また、プライミングドライバ13は、走査電極21への最初の維持パルスが立ち上がるときに、プライミング電極33の電圧を100Vから-100Vに立ち下げて保持する。このとき、走査電極21とプライミング電極33との間で放電が発生し、プライミング電極33に正電荷が蓄積される。

また、維持期間U1において、スキャンドライバ3は、最後の維持パ

ルスとして、他の維持パルスよりハイ期間が長い維持パルスを走査電極 2 1 に印加し、サステインドライバ 4 は、走査電極 2 1 への最後の維持パルスが 200V から 0V に立ち下がったときに、0V から 200V に立ち上がる最後の維持パルスを維持電極 2 2 に印加する。このように、走査電極 2 1 への最後の維持周期を下げた状態で、維持電極 2 2 に印加される最後の維持パルスを立ち上げることにより、走査電極 2 1 と維持電極 2 2 との間で強い維持放電が発生し、走査電極 2 1 に正電荷が、維持電極 2 2 に負電荷がそれぞれ均一に且つ全面に蓄積される。

次のサブフィールドのセットアップ期間 S 2において、スキャンドライバ 3 は、走査電極 2 1 の電圧をランプ波形により 0V から 250V まで順次上昇させた後、走査電極 2 1 の電圧を 250V から 0V に立ち下げ、さらに、ランプ波形により 0V から -170V まで順次降下させる。サステインドライバ 4 は、走査電極 2 1 の電圧がランプ波形により 0V から降下するときに、維持電極 2 2 の電圧を 0V から 50V に立ち上げて保持する。このとき、走査電極 2 1 と維持電極 2 2 との間で微弱な放電が発生し、走査電極 2 1 の維持電極側の一部の正電荷のみが負電荷に反転し、維持電極 2 2 の走査電極側の一部の負電荷のみが正電荷に反転する。また、このとき、プライミングドライバ 1 3 は、プライミング電極 3 3 の電圧を -100V から 0V に立ち上げて保持している。

次に、アドレス期間 A 2において、まず、スキャンドライバ 3 は、走査電極 2 1 の電圧を -170V から -50V に立ち上げて保持し、サステインドライバ 4 は、維持電極 2 2 の電圧を 50V から 150V に立ち上げて保持し、その後、プライミングドライバ 1 3 は、プライミング電極 3 3 の電圧を 0V から 100V に立ち上げて保持する。

次に、アドレスドライバ 2 は、正の書き込みパルスを印加してデータ電極 3 1 の電圧を 0V から 70V に立ち上げ、スキャンドライバ 3 は、負の書き込みパルスを印加して走査電極 2 1 の電圧を -50V から -180V に立ち下げるとき、走査電極 2 1 とプライミング電極 3 3 との間でプライミング放電が発生し、このプライミング放電を利用してデータ電

極 3 1 と走査電極 2 1との間で書き込み放電が発生する。所定時間経過後、スキャンドライバ 3 は、走査電極 2 1 の電圧を -50 V から 0 V に立ち上げて保持する。

この場合もアドレス期間 A 1 と同様に、書き込みパルスを印加する前は、走査電極 2 1 の維持電極側の一部のみに負電荷が蓄積され、維持電極 2 2 の走査電極側の一部のみに正電荷が蓄積されている。このとき、書き込みパルスが印加されると、走査電極 2 1 とプライミング電極 3 3 との間でプライミング放電が発生し、このプライミング放電を利用してデータ電極 3 1 と走査電極 2 1 との間で弱い書き込み放電が発生し、この弱い書き込み放電をトリガーとして走査電極 2 1 と維持電極 2 2 との間の放電ギャップ付近のみで弱い放電が発生するとともに、維持電極 2 2 間のギャップには電子による電位障壁が形成されているため、走査電極 2 1 と維持電極 2 2 との間の放電が隣接する維持電極 2 2 側に広がることを防止することができ、クロストークを防止することができる。

次に、維持期間 U 2において、維持期間 U 1 と同様の動作が行われ、プライミング電極 3 3 に正電荷が蓄積されるとともに、維持放電が行われ、最後の維持放電により走査電極 2 1 に正電荷が、維持電極 2 2 に負電荷がそれぞれ均一に且つ全面に蓄積される。その後、セットアップ期間 S 2 、アドレス期間 A 2 及び維持期間 U 2 の動作がサブフィールドごとに繰り返されて 1 フィールド期間の動作が完了する。

上記のように、本実施の形態では、セットアップ期間において、前サブフィールドで維持放電を行った走査電極 2 1 及び維持電極 2 2 の壁電荷を調整しているので、維持放電により減少した走査電極 2 1 の壁電荷を補充することができ、アドレス期間において書き込み放電を安定に行うことができる。また、アドレス期間において走査電極 2 1 とプライミング電極 3 3 との間のプライミング放電を利用して書き込み放電を発生させているので、書き込み放電を弱い放電で安定に行うことができる。したがって、書き込み放電による不要光を低減することができ、無信号時における黒輝度を充分に低くすることができる。

また、維持期間において、書き込み放電が発生した走査電極 21 の維持放電後に走査電極 21 の全面に正電荷を蓄積させ、セットアップ期間において、蓄積された走査電極 21 の正電荷のうち維持電極 22 側の一部の正電荷を負電荷に反転させるとともに、蓄積された維持電極 22 の負電荷のうち走査電極 21 側の一部の負電荷を正電荷に反転させているので、隣接する維持電極 22 間には負電荷が残留することになる。したがって、隣接する放電セル間においてこの負電荷が電位障壁として機能し、一方の放電セルのアドレス期間における書き込み放電が他方の放電セルに広がることを防止することができるので、隣接する放電セル間のクロストークを充分に低減することができる。

さらに、セットアップ期間における一部の電荷の反転は低い電位により発生させることができるので、セットアップ回路 10 等の低成本化を図ることができる。

次に、本発明の第 2 の実施の形態によるプラズマディスプレイ装置について説明する。図 10 は、本発明の第 2 の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。なお、本実施の形態によるプラズマディスプレイ装置の構成は、PDP 1 に印加される駆動波形が異なる点を除き、図 1 に示すプラズマディスプレイ装置と同様であるため、図示を省略して図 1 を用いてその構成を説明する。この点について以下の各実施の形態も同様である。

図 10 に示す駆動波形と図 8 に示す駆動波形とで異なる点は、垂直同期用セットアップパルスが変更された点であり、その他の点は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 10 に示すように、最初のサブフィールドのセットアップ期間 S1において、サステインドライバ 4 は、プラズマディスプレイ装置の電源がオンされたとき、350V の垂直同期用セットアップパルス V1 を維持電極 22 に印加し、その後に印加する垂直同期用セットアップパルスとして、図中に破線で示す 200V の垂直同期用セットアップパルス V

2を維持電極22に印加する。

装置の電源がオンされたときは、壁電荷の調整が何ら行われていないため、各電極の壁電荷の状態が異常な状態になっている場合があり、この場合でも、350Vの垂直同期用セットアップパルスV1を印加することにより、走査電極21、維持電極22及びデータ電極31の三電極間に強いセットアップ放電を発生させることができ、走査電極21に正電荷を、維持電極22に負電荷を、データ電極31に負電荷をそれぞれ均一に且つ全面に安定的に蓄積することができる。

一方、その他の場合、既に壁電荷の調整が行われているため、垂直同期用セットアップパルスの電圧を極限まで低下させることができ、例えば、200Vの垂直同期用セットアップパルスV2を印加することにより、走査電極21、維持電極22及びデータ電極31の三電極間に弱いセットアップ放電を安定に発生させることができ、走査電極21に正電荷を、維持電極22に負電荷を、データ電極31に負電荷をそれぞれ均一に且つ全面に蓄積することができる。

このように、本実施の形態では、第1の実施の形態の効果に加えて、装置の電源がオンされたとき以外は、弱いセットアップ放電を安定に発生させることができるので、無信号時における黒輝度をより低くすることができ、画像品質をより向上することができる。

なお、高電位の垂直同期用セットアップパルスV1の印加タイミングは、装置の電源がオンされたときのみに特に限定されず、通常描画時以外の異常事態、例えば、映像信号の入力切替が行われたとき、チャンネル切替が行われたとき等においても高電位の垂直同期用セットアップパルスを印加するようにしてもよい。

次に、本発明の第3の実施の形態によるプラズマディスプレイ装置について説明する。図11は、本発明の第3の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図11に示す駆動波形と図8に示す駆動波形とで異なる点は、プライミング電極33に印加されるパルスが変更された点であり、その他の点

は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 1 1 に示すように、維持期間 U 1 において、プライミングドライバ 1 3 は、走査電極 2 1 への最後の維持パルスが立ち上がるときに、プライミング電極 3 3 の電圧を 100 V から -100 V に立ち下げて保持する。このとき、走査電極 2 1 とプライミング電極 3 3 との間で放電が発生し、プライミング電極 3 3 に正電荷が蓄積される。この場合、壁電荷の調整後から後続のセットアップ期間 S 2 までの時間を短縮することができ、後続のセットアップ期間 S 2 におけるセットアップ放電に走査電極 2 1 とプライミング電極 3 3 との間の放電によるプライミング効果を利用することができる。

このように、本実施の形態では、第 1 の実施の形態の効果に加えて、後続のセットアップ期間 S 2 におけるセットアップ放電に走査電極 2 1 とプライミング電極 3 3 との間の放電によるプライミング効果を利用することができるので、セットアップ放電が弱い放電である場合でも、セットアップ放電を安定に行うことができ、セットアップ期間における不要光を低減して黒輝度を低減することができるとともに、書き込み放電も安定に行うことができる。

次に、本発明の第 4 の実施の形態によるプラズマディスプレイ装置について説明する。図 1 2 は、本発明の第 4 の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図 1 2 に示す駆動波形と図 8 に示す駆動波形とで異なる点は、垂直同期用セットアップパルス及びプライミング電極 3 3 に印加されるパルスが変更された点であり、その他の点は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 1 2 に示すように、第 2 の実施形態と同様に、最初のサブフィールドのセットアップ期間 S 1 において、サステインドライバ 4 は、プラズマディスプレイ装置の電源がオンされたときは、350 V の垂直同期用セットアップパルス V 1 を維持電極 2 2 に印加し、その後に印加する垂

直同期用セットアップパルスとして、200Vの垂直同期用セットアップパルスV2を維持電極22に印加する。

また、第3の実施の形態と同様に、維持期間U1において、プライミングドライバ13は、走査電極への最後の維持パルスが立ち上がるときに、プライミング電極33の電圧を100Vから-100Vに立ち下げ、走査電極21とプライミング電極33との間で放電が発生し、プライミング電極33に正電荷が蓄積される。したがって、本実施の形態では、第1の実施の形態の効果に加えて、第2及び第3の実施の形態による効果を得ることができる。

次に、本発明の第5の実施の形態によるプラズマディスプレイ装置について説明する。図13は、本発明の第5の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図13に示す駆動波形と図8に示す駆動波形とで異なる点は、プライミング電極33に印加されるパルスが変更された点であり、その他の点は図8に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図13に示すように、セットアップ期間S1, S2において、プライミングドライバ13は、プライミング電極33の電圧を100Vに保持し、走査電極21の電圧がランプ波形により0Vから250Vまで上昇されているときに、プライミング電極33の電圧を100Vから-100Vに立ち下げて保持する。このとき、走査電極21とプライミング電極33との間で放電が発生し、プライミング電極33に正電荷が蓄積される。

次に、スキャンドライバ3は、走査電極21の電圧を250Vから0Vに立ち下げ、さらに、ランプ波形により0Vから-170Vまで順次降下させる。サステインドライバ4は、走査電極21の電圧がランプ波形により0Vから-170Vに降下しているときに、維持電極22の電圧を0Vから50Vに立ち上げて保持する。このとき、上記の走査電極21とプライミング電極33との間の放電によるプライミング効果を利

用して、走査電極 21 と維持電極 22との間で微弱な放電を安定に発生させ、走査電極 21 の維持電極側の一部の正電荷のみを負電荷に反転させ、維持電極 22 の走査電極側の一部の負電荷のみを正電荷に反転させる。

このように、本実施の形態では、第 1 の実施の形態の効果に加えて、セットアップ期間において走査電極 21 と維持電極 22 との放電前に走査電極 21 とプライミング電極 33 との間に放電を発生させてプライミング電極 33 の壁電荷を調整しているので、走査電極 21 とプライミング電極 33 との放電によるプライミング効果を走査電極 21 と維持電極 22 とのセットアップ放電に利用することができ、セットアップ放電が弱い放電である場合でも、セットアップ放電を安定に行うことができるので、セットアップ期間における不要光を低減して黒輝度をより低減することができるとともに、書き込み放電も安定に行うことができる。

次に、本発明の第 6 の実施の形態によるプラズマディスプレイ装置について説明する。図 14 は、本発明の第 6 の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図 14 に示す駆動波形と図 8 に示す駆動波形とで異なる点は、垂直同期用セットアップパルス及びプライミング電極 33 に印加されるパルスが変更された点であり、その他の点は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 14 に示すように、第 2 の実施形態と同様に、最初のサブフィールドのセットアップ期間 S1において、サステインドライバ 4 は、プラズマディスプレイ装置の電源がオンされたときは、350V の垂直同期用セットアップパルス V1 を維持電極 22 に印加し、その後に印加する垂直同期用セットアップパルスとして、200V の垂直同期用セットアップパルス V2 を維持電極 22 に印加する。

また、第 5 の実施の形態と同様に、セットアップ期間 S1, S2において、プライミングドライバ 13 は、走査電極 21 の電圧がランプ波形により上昇されているときに、プライミング電極 33 の電圧を 100V

から -100V に立ち下げて保持し、走査電極21とプライミング電極33との間で放電を発生させてプライミング電極33に正電荷を蓄積する。次に、スキャンドライバ3は、走査電極21の電圧をランプ波形により低下させているときに、サステンドライバ4は、維持電極22の電圧を立ち上げ、上記の走査電極21とプライミング電極33との間の放電によるプライミング効果を利用して、走査電極21と維持電極22との間で微弱な放電を安定に発生させ、走査電極21の維持電極側の一部の正電荷のみを負電荷に反転させ、維持電極22の走査電極側の一部の負電荷のみを正電荷に反転させる。したがって、本実施の形態では、第1の実施の形態の効果に加えて、第2及び第5の実施の形態による効果を得ることができる。

次に、本発明の第7の実施の形態によるプラズマディスプレイ装置について説明する。図15は、本発明の第7の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図15に示す駆動波形と図8に示す駆動波形とで異なる点は、プライミング電極33に印加されるパルスが変更された点であり、その他の点は図8に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図15に示すように、プライミングドライバ13は、セットアップ期間S1, S2においてプライミング電極33の電圧を 0V に保持し、アドレス期間A1, A2においてプライミング電極33の電圧を 0V から 100V に立ち上げて保持し、維持期間U1, U2において、走査電極21への最初の維持パルスが立ち上がるときに、プライミング電極33の電圧を 100V から 0V に立ち下げて保持する。このとき、走査電極21とプライミング電極33との間で放電が発生し、プライミング電極33に正電荷が蓄積される。

このように、本実施の形態では、第1の実施の形態の効果に加えて、プライミング電極33に印加する電圧を 0V と 100V との2値にしているので、プライミングドライバ13の構成を簡略化することができる

とともに、消費電力及び電磁波障害を低減することができる。

次に、本発明の第8の実施の形態によるプラズマディスプレイ装置について説明する。図16は、本発明の第8の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図16に示す駆動波形と図8に示す駆動波形とで異なる点は、垂直同期用セットアップパルス及びプライミング電極33に印加されるパルスが変更された点であり、その他の点は図8に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図16に示すように、第2の実施形態と同様に、最初のサブフィールドのセットアップ期間S1において、サステンドライバ4は、プラズマディスプレイ装置の電源がオンされたときは、350Vの垂直同期用セットアップパルスV1を維持電極22に印加し、その後に印加する垂直同期用セットアップパルスとして、200Vの垂直同期用セットアップパルスV2を維持電極22に印加する。

また、第7の実施の形態と同様に、プライミングドライバ13は、セットアップ期間S1, S2においてプライミング電極33の電圧を0Vに保持し、アドレス期間A1, A2においてプライミング電極33の電圧を0Vから100Vに立ち上げて保持し、維持期間U1, U2において、走査電極21への最初の維持パルスが立ち上がるときに、プライミング電極33の電圧を100Vから0Vに立ち下げて保持し、走査電極21とプライミング電極33との間で放電を発生させ、プライミング電極33に正電荷を蓄積させる。したがって、本実施の形態では、第1の実施の形態の効果に加えて、第2及び第7の実施の形態による効果を得ることができる。

次に、本発明の第9の実施の形態によるプラズマディスプレイ装置について説明する。図17は、本発明の第9の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図17に示す駆動波形と図8に示す駆動波形とで異なる点は、プライミング電極33に印加されるパルスが変更された点であり、その他の点

は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 17 に示すように、プライミングドライバ 13 は、セットアップ期間 S1, S2 においてプライミング電極 33 の電圧を 0 V に保持し、アドレス期間 A1, A2 においてプライミング電極 33 の電圧を 0 V から 100 V に立ち上げて保持し、維持期間 U1, U2 において、第 3 の実施の形態と同様に走査電極 21 への最後の維持パルスが立ち上がるときに、プライミング電極 33 の電圧を 100 V から 0 V に立ち下げて保持する。このとき、走査電極 21 とプライミング電極 33 との間で放電が発生し、プライミング電極 33 に正電荷が蓄積される。

このように、本実施の形態では、第 1 及び第 3 の実施の形態の効果に加えて、プライミング電極 33 に印加する電圧を 0 V と 100 V との 2 値にしているので、プライミングドライバ 13 の構成を簡略化することができるとともに、消費電力及び電磁波障害を低減することができる。

次に、本発明の第 10 の実施の形態によるプラズマディスプレイ装置について説明する。図 18 は、本発明の第 10 の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図 18 に示す駆動波形と図 8 に示す駆動波形とで異なる点は、垂直同期用セットアップパルス及びプライミング電極 33 に印加されるパルスが変更された点であり、その他の点は図 8 に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図 18 に示すように、第 2 の実施形態と同様に、最初のサブフィールドのセットアップ期間 S1 において、サステインドライバ 4 は、プラズマディスプレイ装置の電源がオンされたときは、350 V の垂直同期用セットアップパルス V1 を維持電極 22 に印加し、その後に印加する垂直同期用セットアップパルスとして、200 V の垂直同期用セットアップパルス V2 を維持電極 22 に印加する。

また、第 9 の実施の形態と同様に、セットアップ期間 S1, S2 においてプライミング電極 33 の電圧を 0 V に保持し、アドレス期間 A1,

A 2においてプライミング電極3 3の電圧を0 Vから100 Vに立ち上げて保持し、維持期間U 1, U 2において、走査電極2 1への最後の維持パルスが立ち上がるときに、プライミング電極3 3の電圧を100 Vから0 Vに立ち下げて保持する。このとき、走査電極2 1とプライミング電極3 3との間で放電が発生し、プライミング電極3 3に正電荷が蓄積される。したがって、本実施の形態では、第1の実施の形態の効果に加えて、第2及び第9の実施の形態による効果を得ることができる。

次に、本発明の第1 1の実施の形態によるプラズマディスプレイ装置について説明する。図1 9は、本発明の第1 1の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図1 9に示す駆動波形と図8に示す駆動波形とで異なる点は、プライミング電極3 3に印加されるパルスが変更された点であり、その他の点は図8に示す駆動波形と同様であるので、以下異なる点についてのみ詳細に説明する。

図1 9に示すように、セットアップ期間S 1において、プライミングドライバ1 3は、プライミング電極3 3の電圧を0 Vに保持し、走査電極2 1の電圧がランプ波形により0 Vから250 Vまで上昇されているときに、プライミング電極3 3の電圧を0 Vから100 Vに立ち上げて所定時間保持した後に100 Vから0 Vに立ち下げて保持する。この場合、プライミング電極3 3の電圧が100 Vから0 Vに立ち下がるときに、走査電極2 1とプライミング電極3 3との間で放電が発生し、プライミング電極3 3に正電荷が蓄積される。

次に、スキャンドライバ3は、走査電極2 1の電圧を250 Vから0 Vに立ち下げ、さらに、ランプ波形により0 Vから-170 Vまで順次降下させる。サステインドライバ4は、走査電極2 1の電圧がランプ波形により0 Vから-170 Vに降下しているときに、維持電極2 2の電圧を0 Vから150 Vに立ち上げて保持する。このとき、上記の走査電極2 1とプライミング電極3 3との間の放電によるプライミング効果を利用して、走査電極2 1と維持電極2 2との間で微弱な放電を安定に発

生させ、走査電極 2 1 の維持電極側の一部の正電荷のみを負電荷に反転させ、維持電極 2 2 の走査電極側の一部の負電荷のみを正電荷に反転させる。

次に、プライミングドライバ 1 3 は、アドレス期間 A 1 において、プライミング電極 3 3 の電圧を 0 V から 100 V に立ち上げて保持し、維持期間 U 1 が経過した後、セットアップ期間 S 2 において、走査電極 2 1 の電圧がランプ波形により 0 V から 250 V まで上昇されているときに、プライミング電極 3 3 の電圧を 100 V から 0 V に立ち下げて保持する。この場合も、プライミング電極 3 3 の電圧が 100 V から 0 V に立ち下がるときに、走査電極 2 1 とプライミング電極 3 3 との間で放電が発生し、プライミング電極 3 3 に正電荷が蓄積される。以降アドレス期間 A 2 及び維持期間 U 2 において、上記のアドレス期間 A 1 及び維持期間 U 1 と同様の動作が行われる。

このように、本実施の形態では、第 1 の実施の形態の効果に加えて、走査電極 2 1 とプライミング電極 3 3 との放電によるプライミング効果を走査電極 2 1 と維持電極 2 2 とのセットアップ放電に利用することができるので、セットアップ放電が弱い放電である場合でも、セットアップ放電を安定に行うことができ、セットアップ期間における不要光を低減してより黒輝度を低減することができるとともに、書き込み放電も安定に行うことができる。また、プライミング電極 3 3 に印加する電圧を 0 V と 100 V との 2 値にしているので、プライミングドライバ 1 3 の構成を簡略化することができるとともに、消費電力及び電磁波障害を低減することができる。

次に、本発明の第 1 2 の実施の形態によるプラズマディスプレイ装置について説明する。図 20 は、本発明の第 1 2 の実施の形態によるプラズマディスプレイ装置の駆動波形の一例を示す図である。

図 20 に示す駆動波形と図 8 に示す駆動波形とで異なる点は、垂直同期用セットアップパルス及びプライミング電極 3 3 に印加されるパルスが変更された点であり、その他の点は図 8 に示す駆動波形と同様である

ので、以下異なる点についてのみ詳細に説明する。

図20に示すように、第2の実施形態と同様に、最初のサブフィールドのセットアップ期間S1において、サステインドライバ4は、プラズマディスプレイ装置の電源がオンされたときは、350Vの垂直同期用セットアップパルスV1を維持電極22に印加し、その後に印加する垂直同期用セットアップパルスとして、200Vの垂直同期用セットアップパルスV2を維持電極22に印加する。

また、第11の実施の形態と同様に、セットアップ期間S1, S2において、プライミング電極33の電圧が100Vから0Vに立ち下がるときに、走査電極21とプライミング電極33との間で放電が発生し、プライミング電極33に正電荷が蓄積される。この走査電極21とプライミング電極33との間の放電によるプライミング効果を利用して、走査電極21と維持電極22との間で微弱な放電を安定に発生させ、走査電極21の維持電極22側の一部の正電荷のみを負電荷に反転させ、維持電極22の走査電極21側の一部の負電荷のみを正電荷に反転させる。したがって、本実施の形態では、第1の実施の形態の効果に加えて、第2及び第11の実施の形態による効果を得ることができる。

なお、上記の各実施の形態では、ADS方式によるサブフィールド分割を例に説明したが、アドレス・サステイン同時駆動方式によるサブフィールド分割等の他のサブフィールド法であっても、本発明を同様に適用することができ、同様の効果を得ることができる。

産業上の利用可能性

上記のように、本発明によれば、クロストークを充分に低減することができるとともに、無信号時における黒輝度を充分に低くすることができ、1フィールドを複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ表示装置等に好適に利用することができる。

請求の範囲

1. 1 フィールドを、各々がセットアップ期間、アドレス期間及び維持期間を含む複数のサブフィールドに分割して階調表示を行うプラスマディスプレイ装置であって、

走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として複数の走査電極及び複数の維持電極が形成されるとともに、隣接する走査電極に対向して複数のプライミング電極が形成され、さらに、前記走査電極及び前記維持電極と交わる方向に複数のデータ電極が形成された A C 型プラスマディスプレイパネルと、

セットアップ期間において、前サブフィールドで維持放電を行った走査電極及び維持電極の壁電荷を調整する第 1 の駆動手段と、

アドレス期間において、前記第 1 の駆動手段により壁電荷が調整された走査電極に書き込みパルスを印加して当該走査電極とプライミング電極との間のプライミング放電を発生させるとともに、前記データ電極に書き込みパルスを印加して前記プライミング放電を利用して書き込み放電を発生させる第 2 の駆動手段と、

維持期間において、前記第 2 の駆動手段により書き込み放電が発生した走査電極と維持電極との間で維持放電を発生させ、維持放電後に走査電極に正電荷及び維持電極に負電荷を蓄積させる第 3 の駆動手段とを備え、

前記第 1 の駆動手段は、セットアップ期間において、前記第 3 の駆動手段により蓄積された走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、前記第 3 の駆動手段により蓄積された維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させることを特徴とするプラスマディスプレイ装置。

2. 前記第 3 の駆動手段は、前記走査電極に印加する最後の維持パルスのパルス幅を他の維持パルスのパルス幅より長くすることを特徴と

する請求項 1 記載のプラズマディスプレイ装置。

3. 前記第 1 の駆動手段は、垂直同期期間に 1 回印加される垂直同期用セットアップパルスを維持電極に印加する際、少なくとも前記表示装置の電源がオンされた場合に第 1 の電圧で垂直同期用セットアップパルスを印加し、その他の場合に前記第 1 の電圧より低い第 2 の電圧で垂直同期用セットアップパルスを印加することを特徴とする請求項 1 記載のプラズマディスプレイ装置。

4. 前記第 3 の駆動手段は、維持期間において前記走査電極に印加される最後の維持パルスにより前記走査電極と前記プライミング電極との間で放電を発生させて前記プライミング電極の壁電荷を調整することを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

5. 前記第 1 の駆動手段は、セットアップ期間において前記プライミング電極を第 1 の電圧に保持し、

前記第 2 の駆動手段は、アドレス期間において書き込み放電が発生する前に前記プライミング電極を前記第 1 の電圧から前記第 1 の電圧より高い第 2 の電圧に立ち上げて保持し、

前記第 3 の駆動手段は、維持期間において前記プライミング電極を前記第 2 の電圧から前記第 1 の電圧に立ち下げることを特徴とする請求項 1 記載のプラズマディスプレイ装置。

6. 前記第 1 の駆動手段は、セットアップ期間において前記走査電極と前記維持電極との放電前に前記走査電極と前記プライミング電極との間に放電を発生させて前記プライミング電極の壁電荷を調整することを特徴とする請求項 1 記載のプラズマディスプレイ装置。

7. 前記第 1 の駆動手段は、セットアップ期間において前記走査電

極と前記維持電極との放電前に前記プライミング電極を第1の電圧から前記第1の電圧より低い第2の電圧に立ち下げて保持し、

前記第2の駆動手段は、アドレス期間において書き込み放電が発生する前に前記プライミング電極を前記第2の電圧から前記第1の電圧に立ち上げて保持することを特徴とする請求項6に記載のプラズマディスプレイ装置。

8. 前記プラズマディスプレイパネルは、前記プライミング電極に対向する位置に形成された光吸収層を備えることを特徴とする請求項1記載のプラズマディスプレイ装置。

9. 前記第1の駆動手段は、垂直同期期間に1回設けられるセットアップ期間を他のセットアップ期間より長く設定することを特徴とする請求項1記載のプラズマディスプレイ装置。

10. 前記第2の駆動手段は、アドレス期間において、前記第1の駆動手段により壁電荷が調整された走査電極の電圧を所定の電圧に立ち上げた後にプライミング電極の電圧を所定の電圧に立ち上げることを特徴とする請求項1記載のプラズマディスプレイ装置。

11. 走査電極、走査電極、維持電極、維持電極の順に配列された電極配列を単位として複数の走査電極及び複数の維持電極が形成されるとともに、隣接する走査電極に対向してプライミング電極が形成されたA C型プラズマディスプレイパネルを備え、1フィールドを、各々がセットアップ期間、アドレス期間及び維持期間を含む複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ装置の駆動方法であつて、

セットアップ期間において、前サブフィールドで維持放電を行った走査電極及び維持電極の壁電荷を調整する調整ステップと、

アドレス期間において、前記調整ステップにおいて壁電荷が調整された走査電極に書き込みパルスを印加して当該走査電極とプライミング電極との間のプライミング放電を発生させるとともに、前記データ電極に書き込みパルスを印加して前記プライミング放電を利用して書き込み放電を発生させる書き込みステップと、

維持期間において、前記書き込みステップにおいて書き込み放電が発生した走査電極と維持電極との間で維持放電を発生させ、維持放電後に走査電極に正電荷及び維持電極に負電荷を蓄積させる維持ステップとを含み、

前記調整ステップは、セットアップ期間において、前記維持ステップにおいて蓄積された走査電極の正電荷のうち維持電極側の一部の正電荷を負電荷に反転させるとともに、前記維持ステップにおいて蓄積された維持電極の負電荷のうち走査電極側の一部の負電荷を正電荷に反転させるステップを含むことを特徴とするプラズマディスプレイ装置の駆動方法。

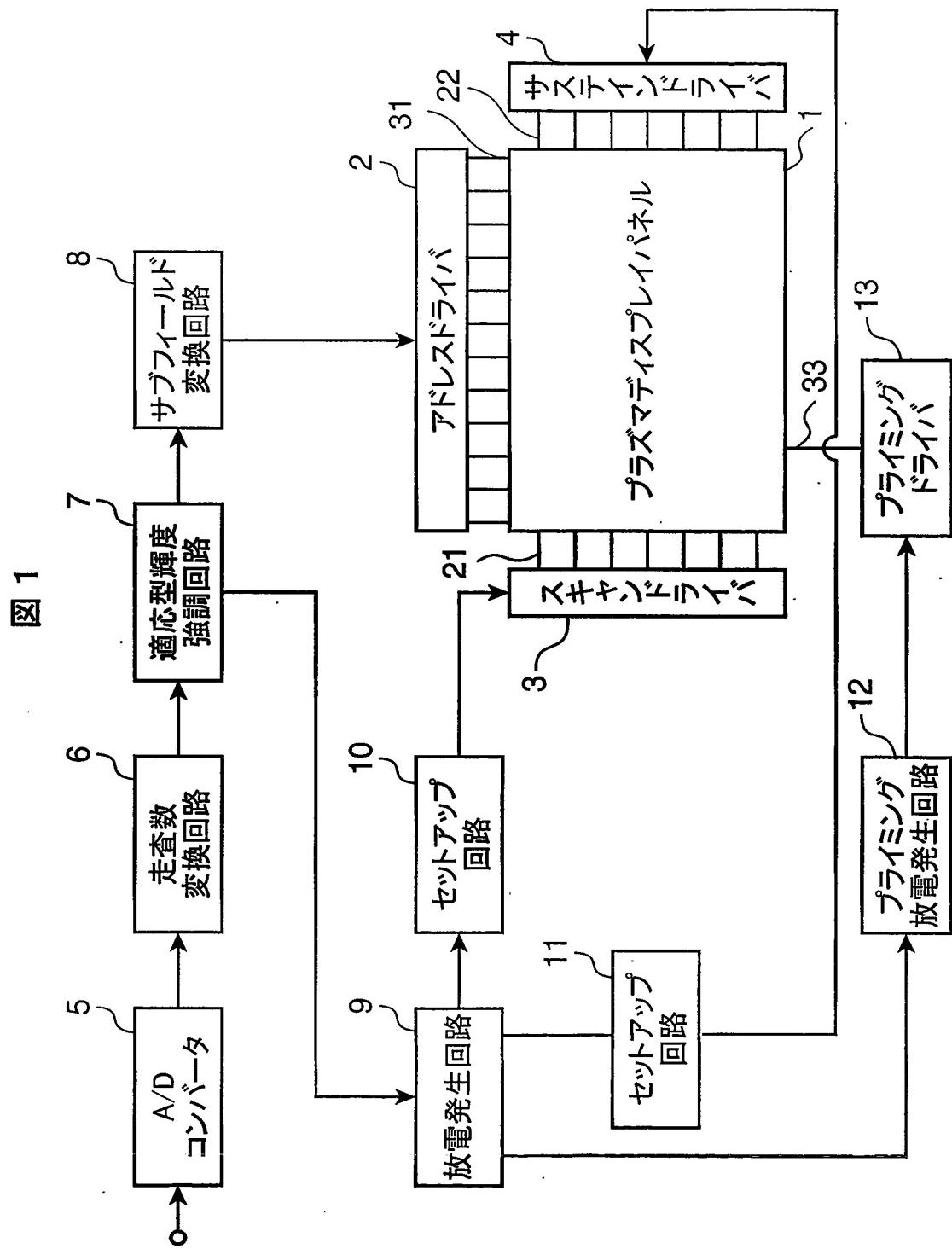


図 2

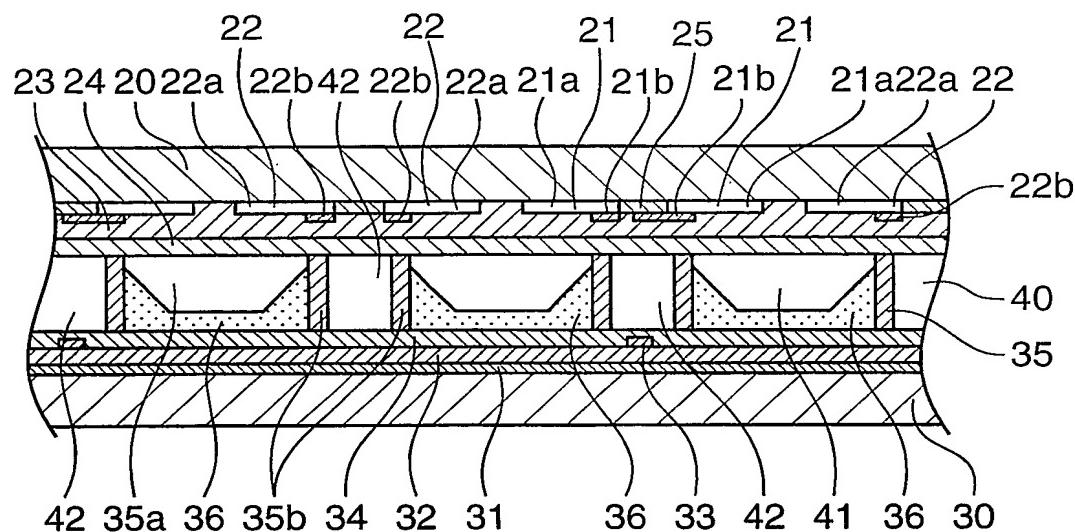
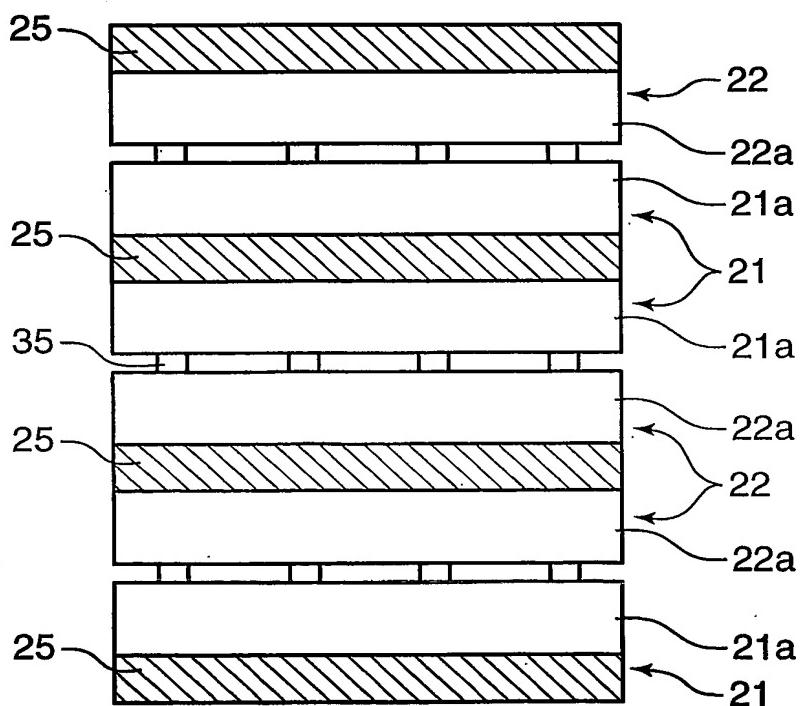


図 3



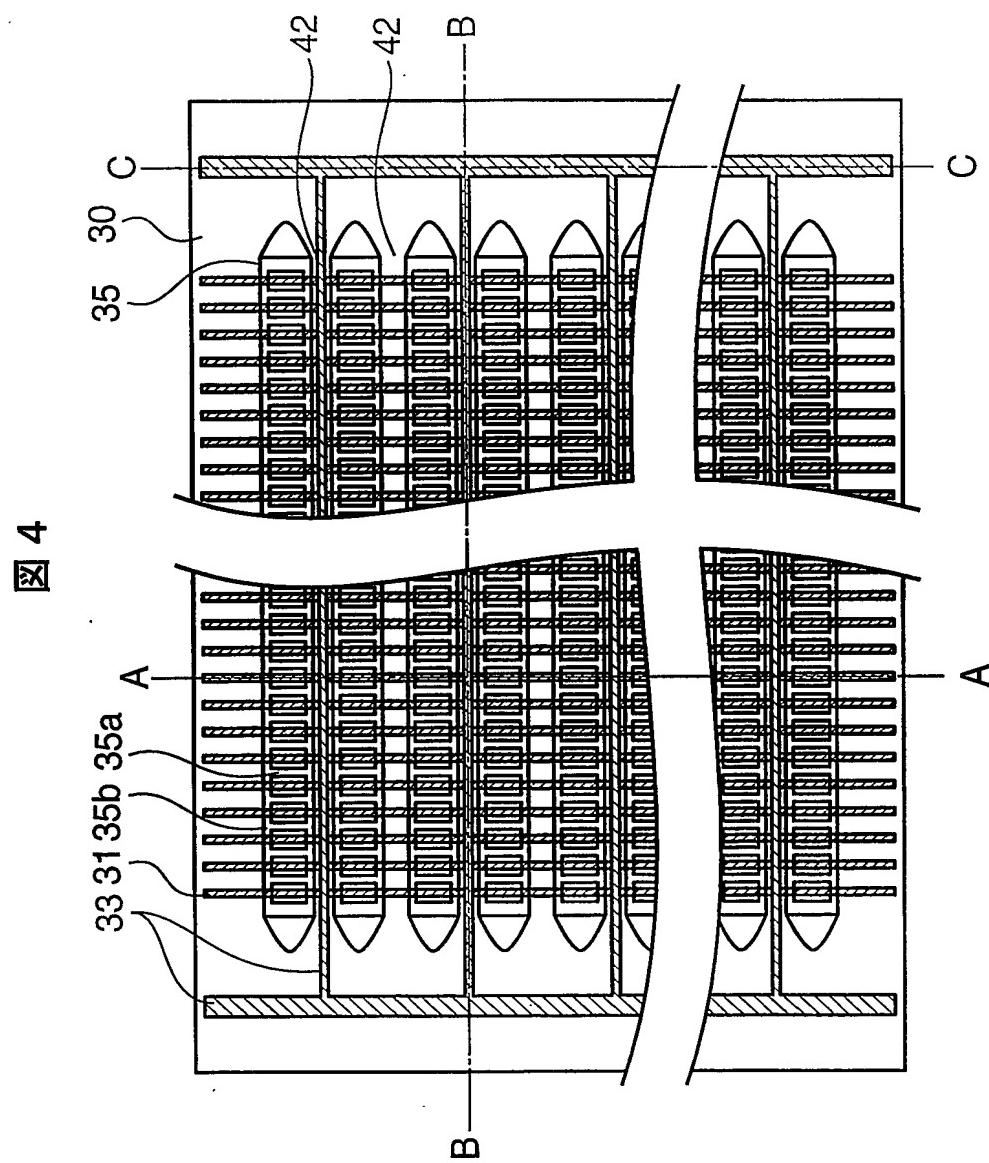


図 5

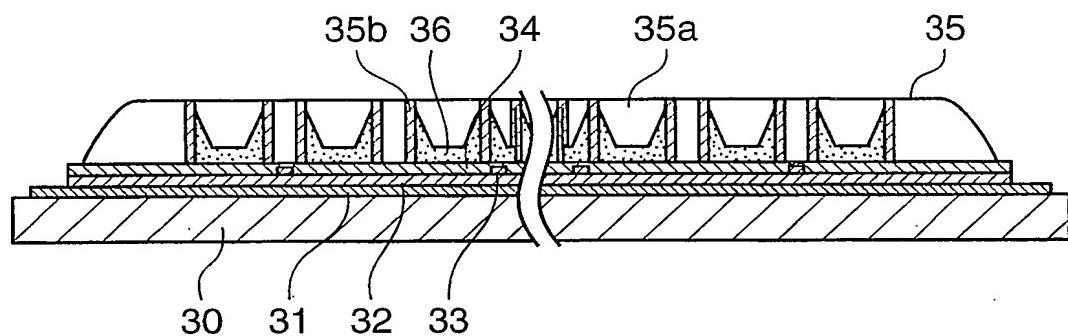


図 6

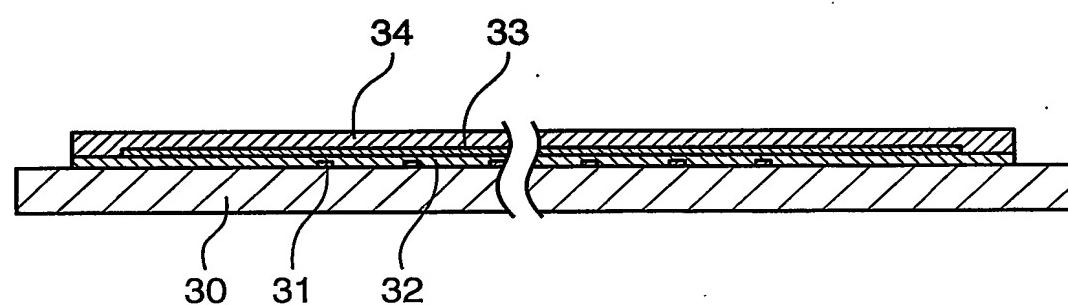


図 7

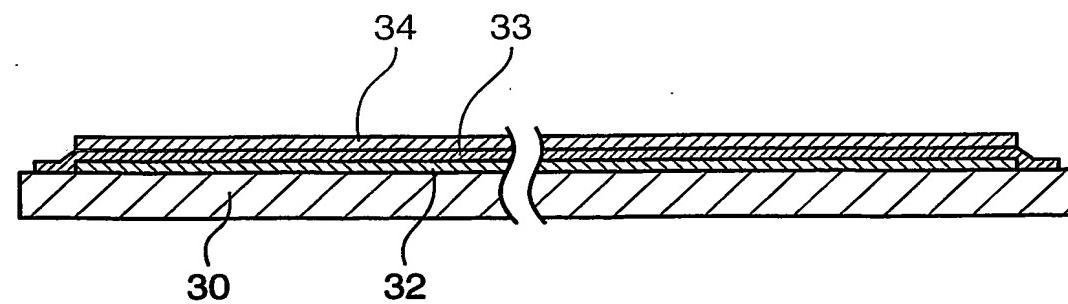


図 8

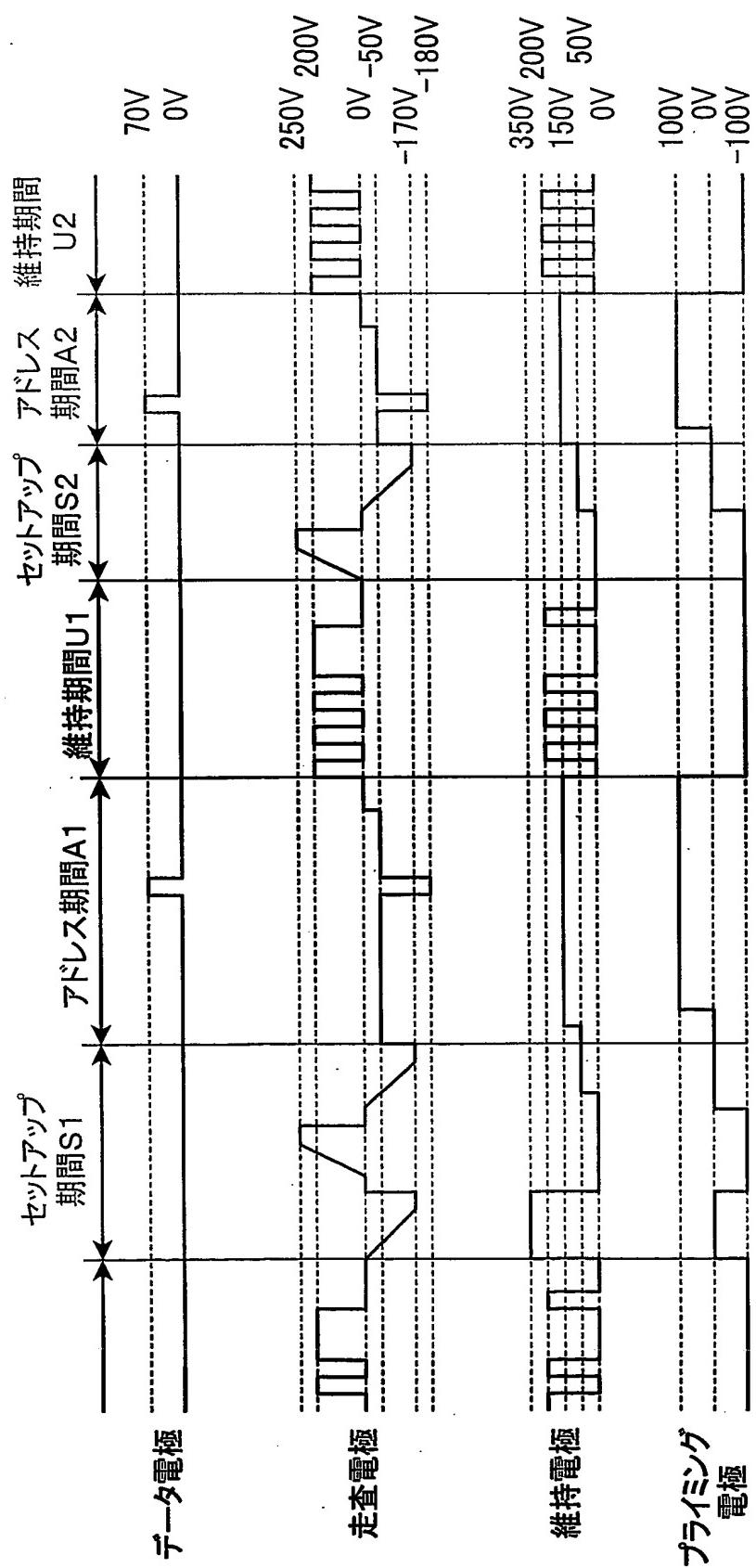


図 9

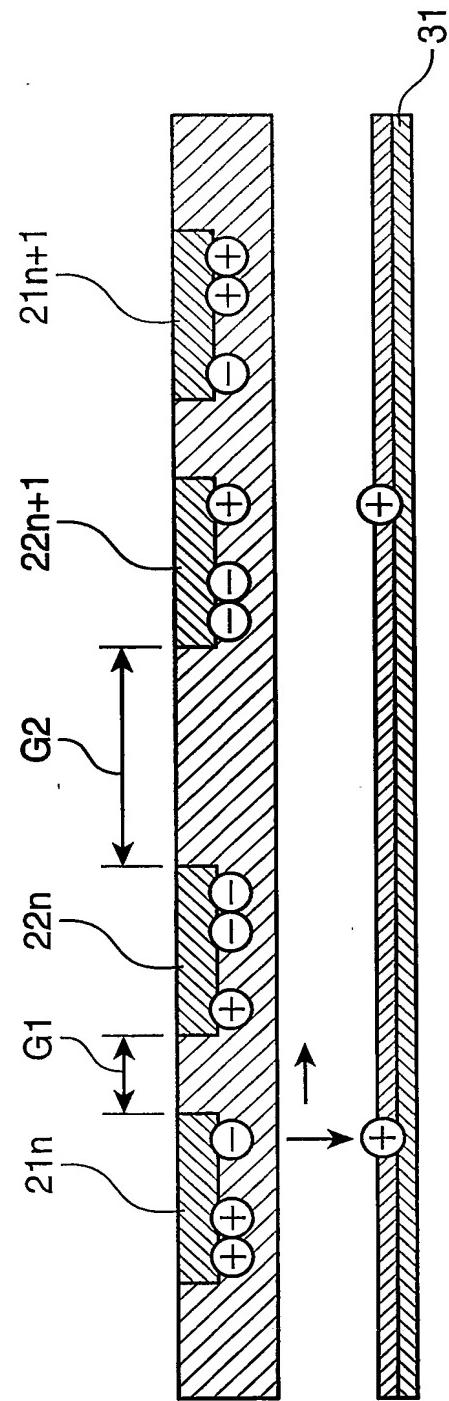


図 10

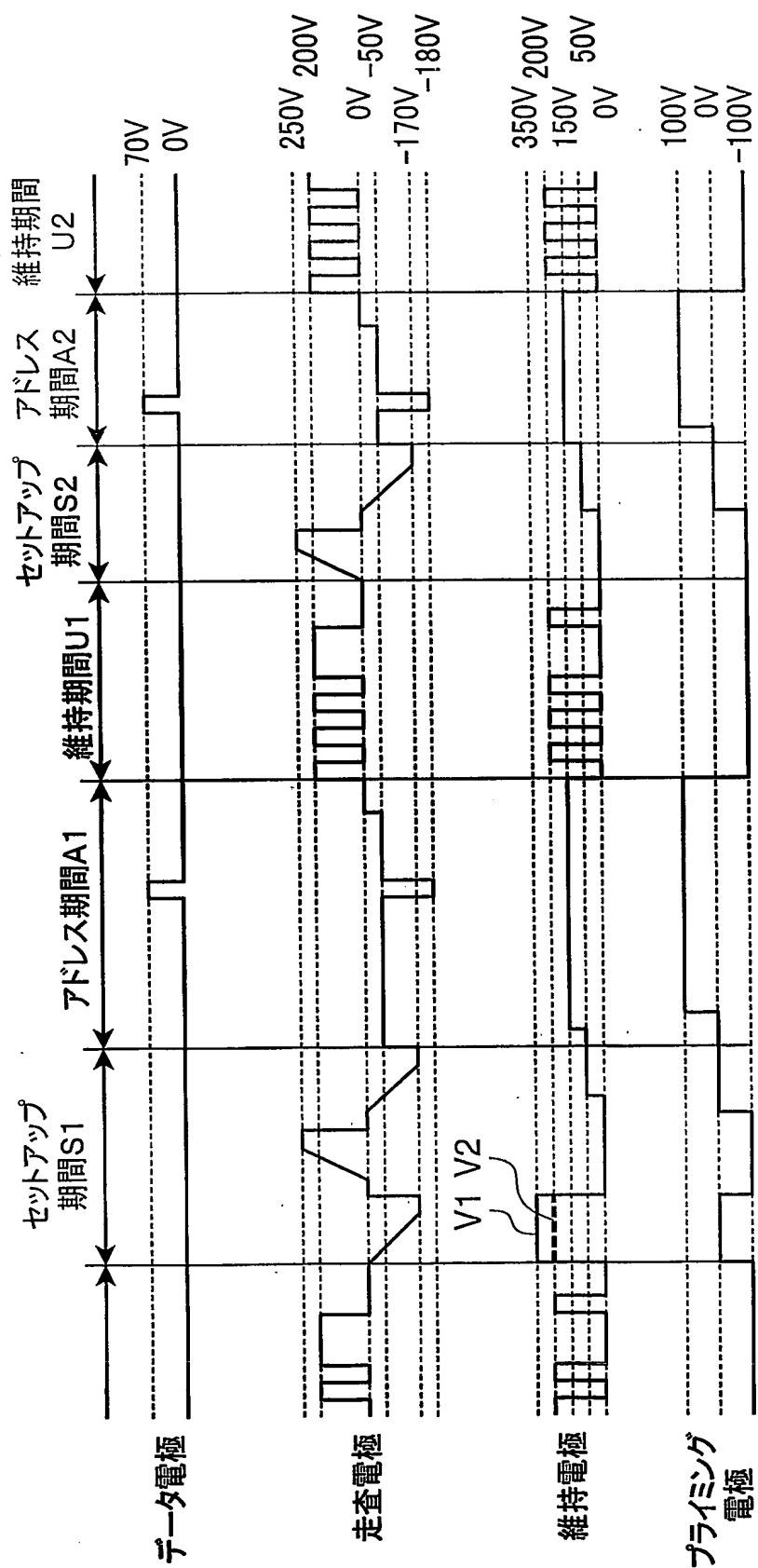


図 11

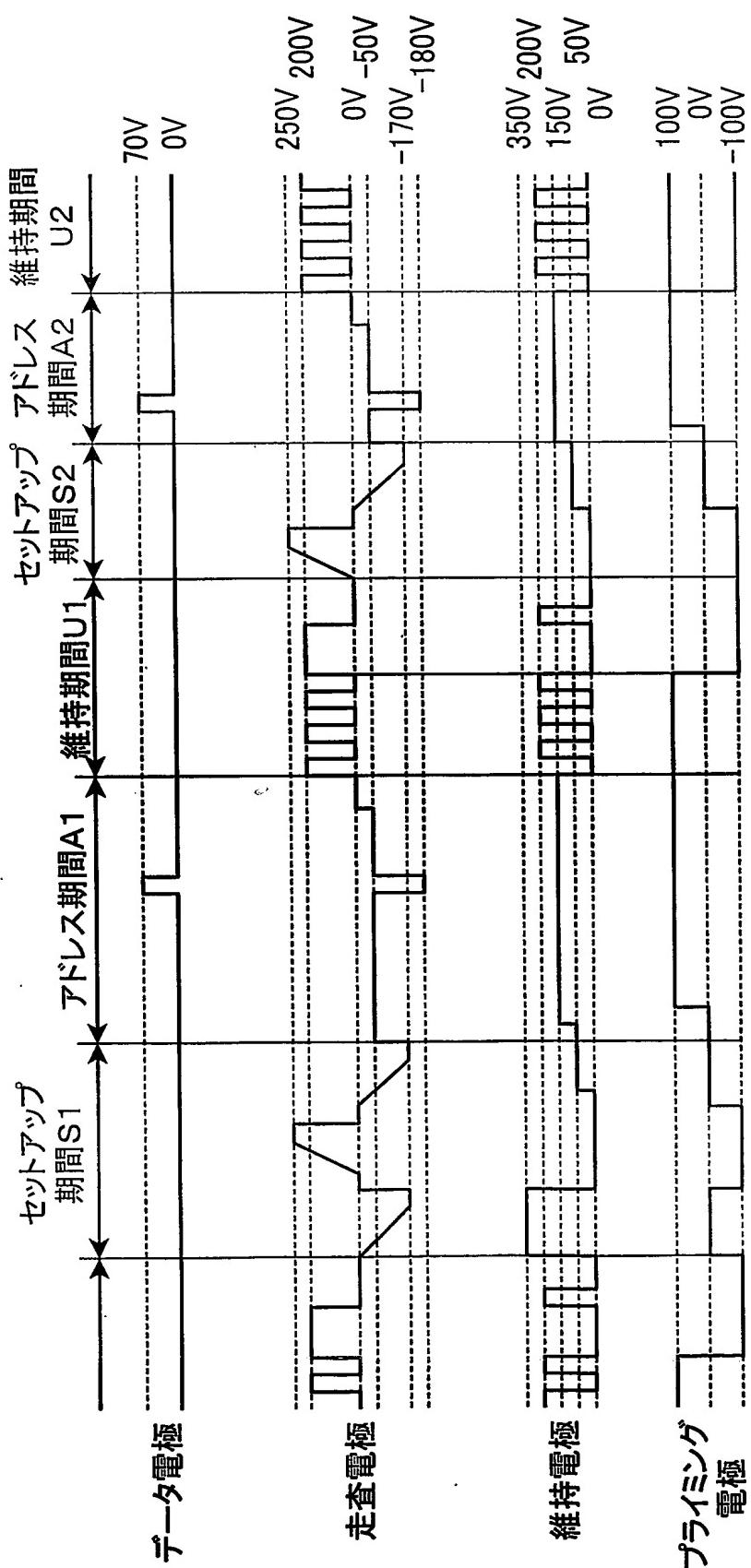


図 12

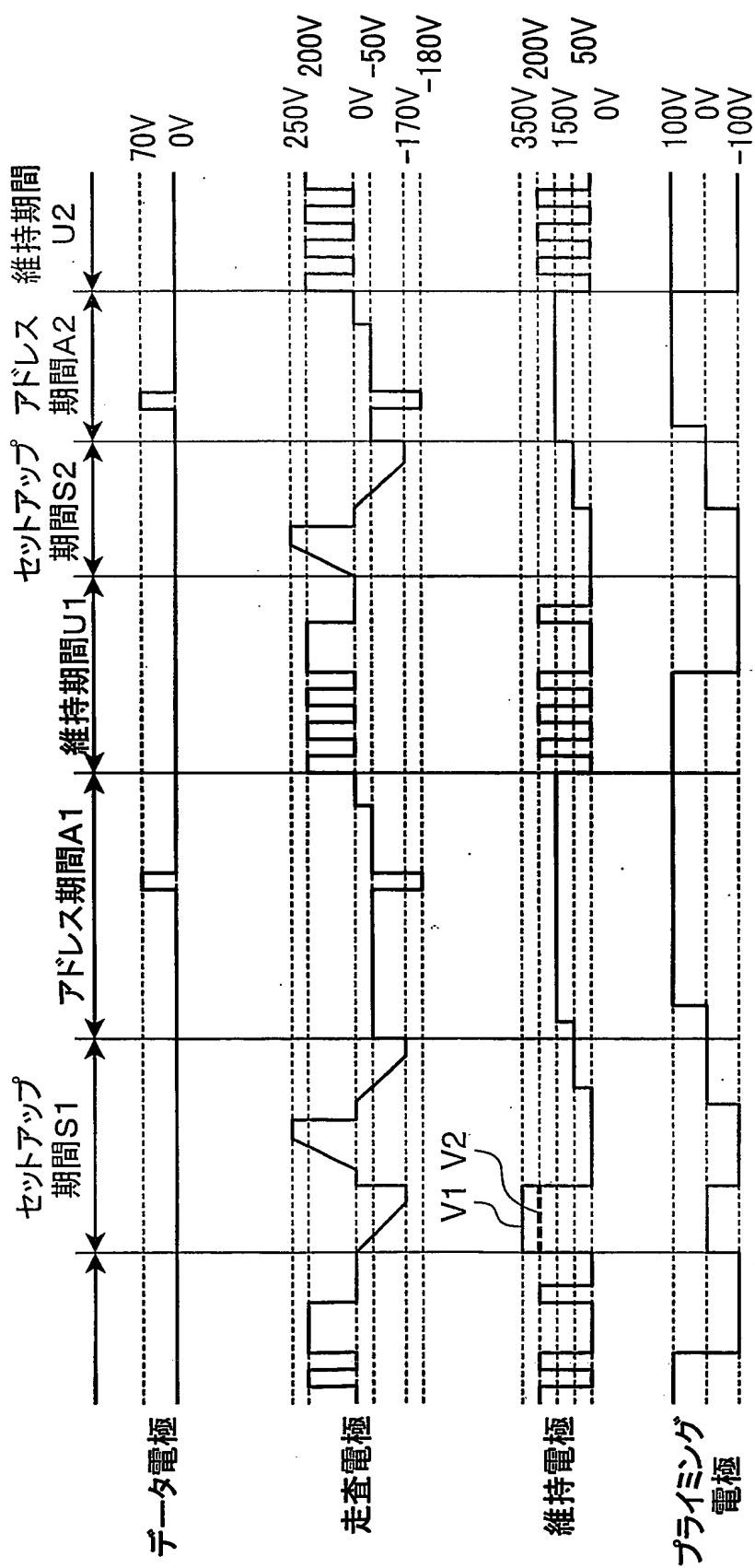


図 13

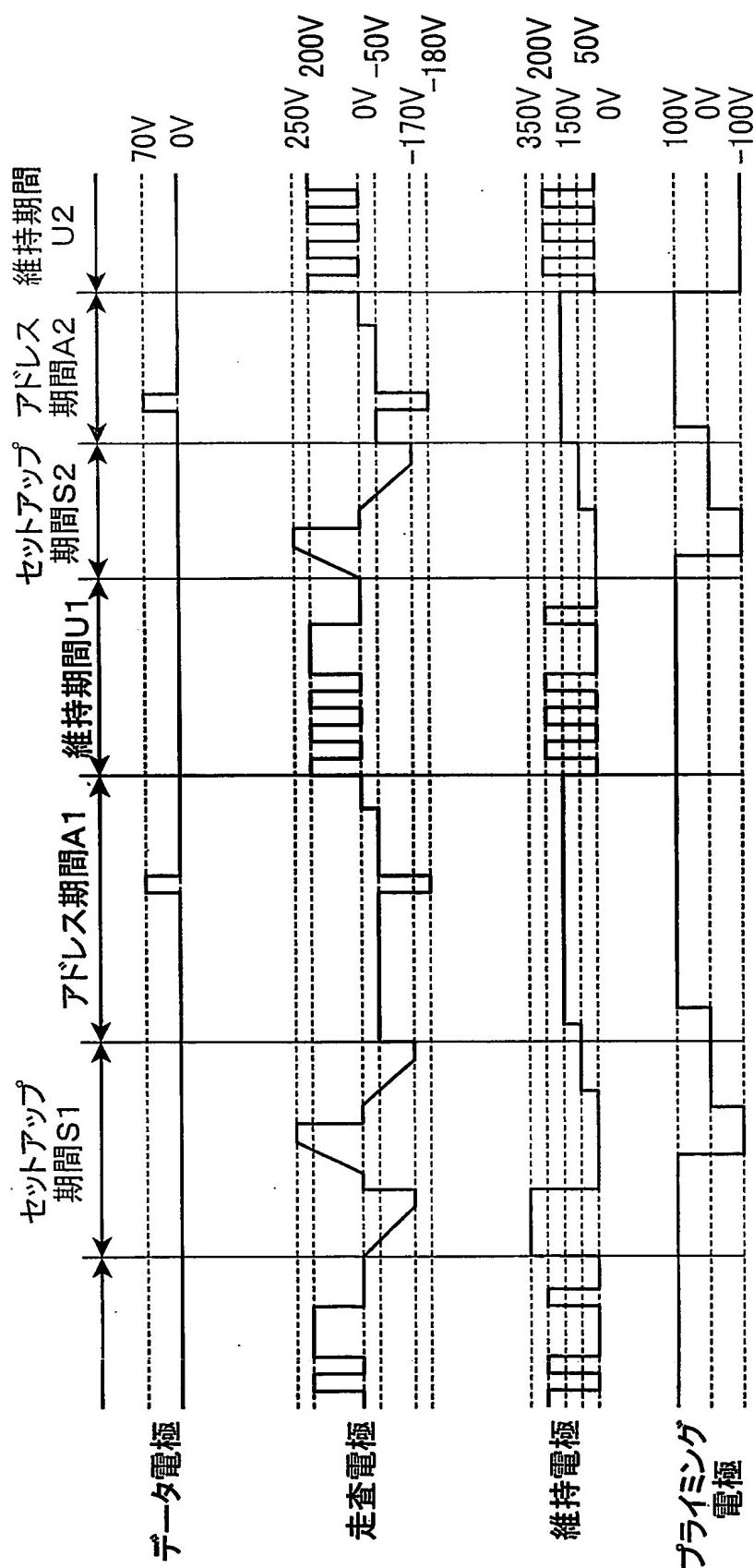


図 14

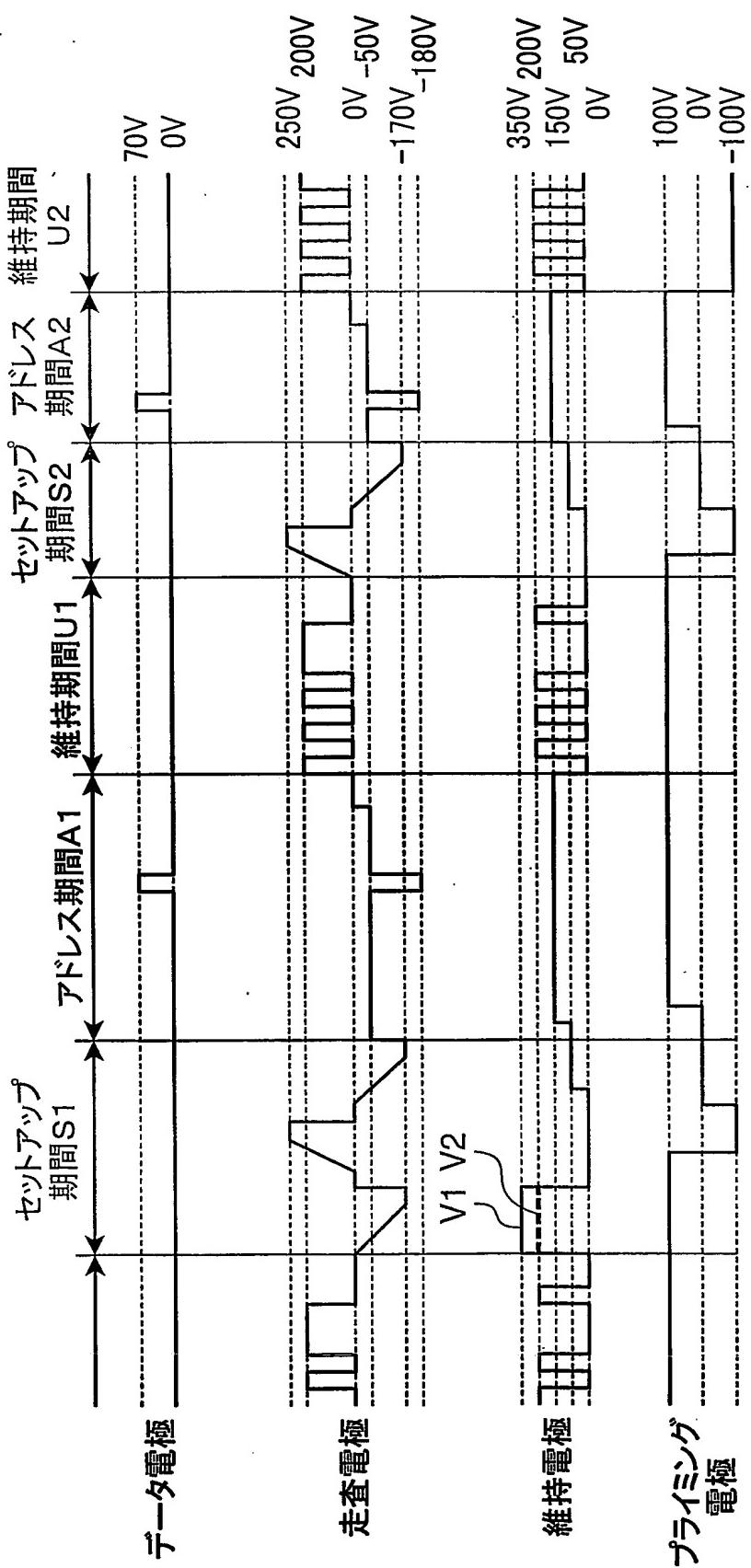


図 15

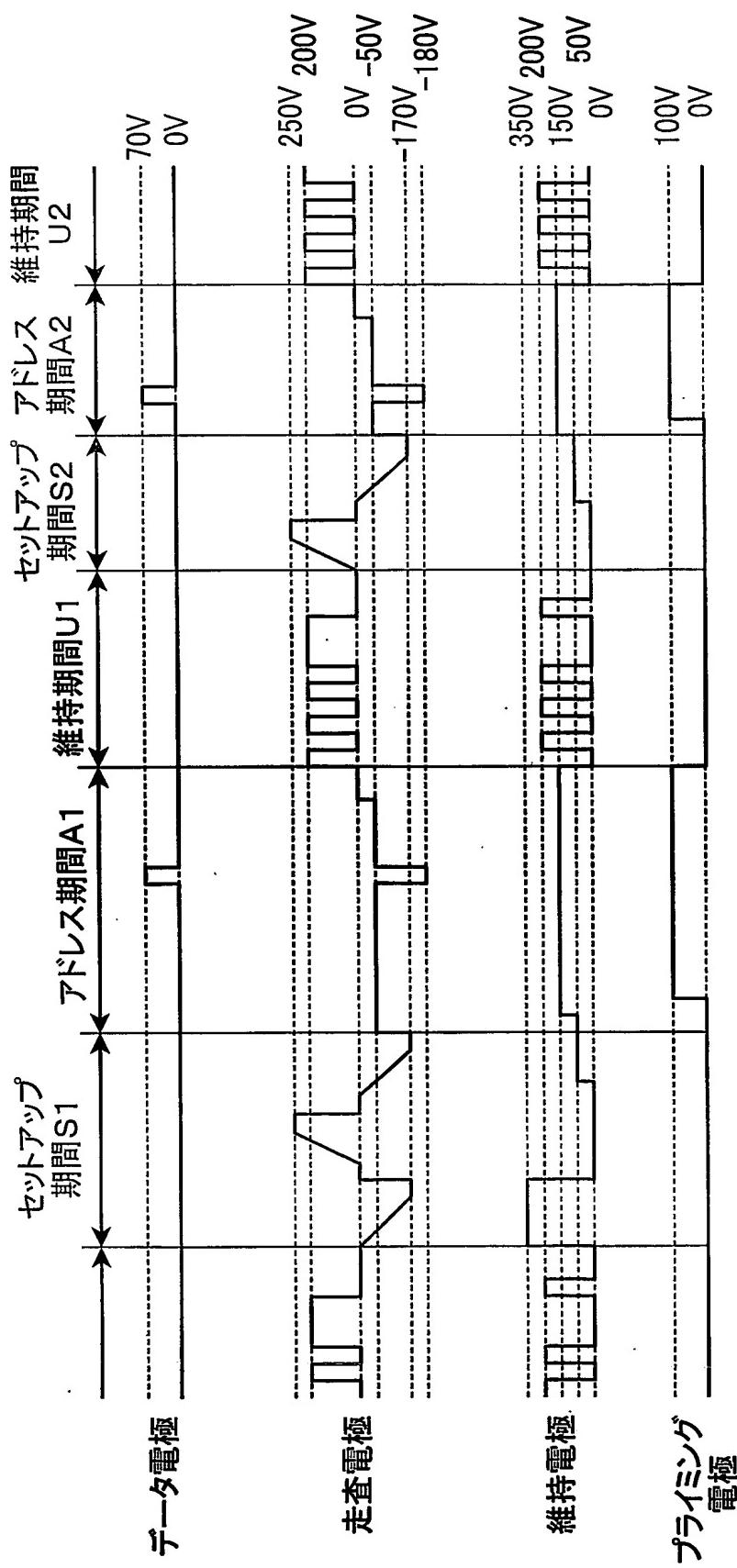


図 16

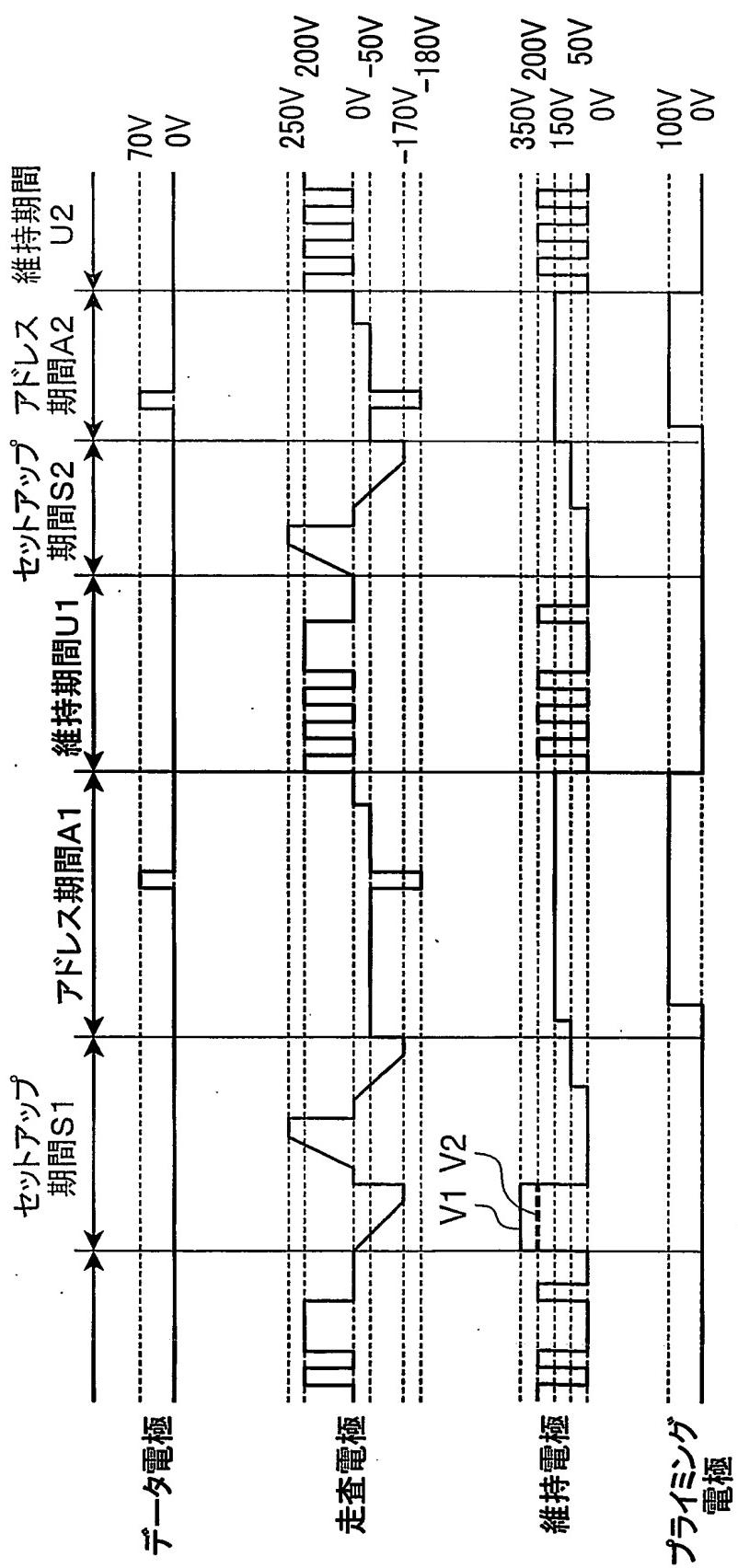


図 17

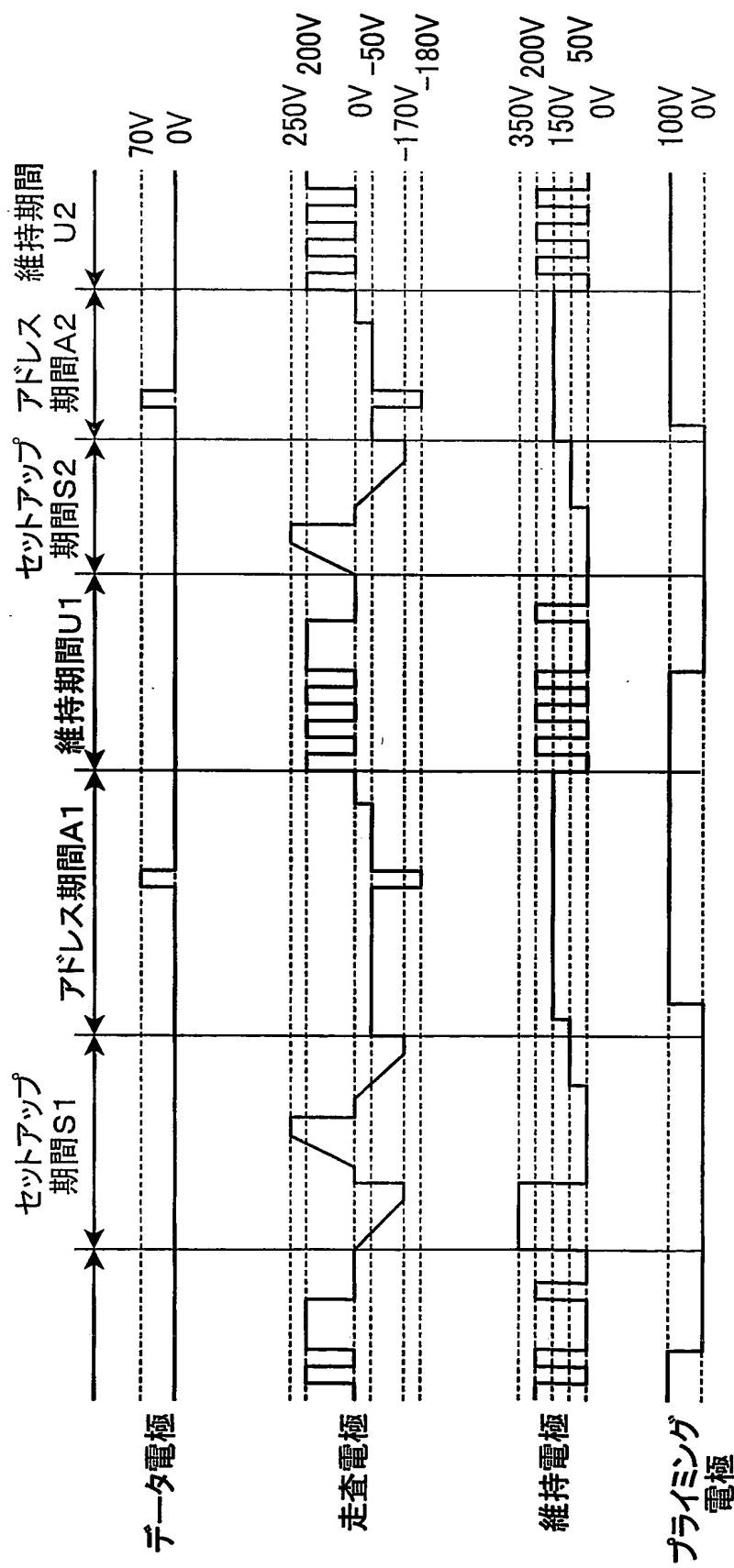


図 18

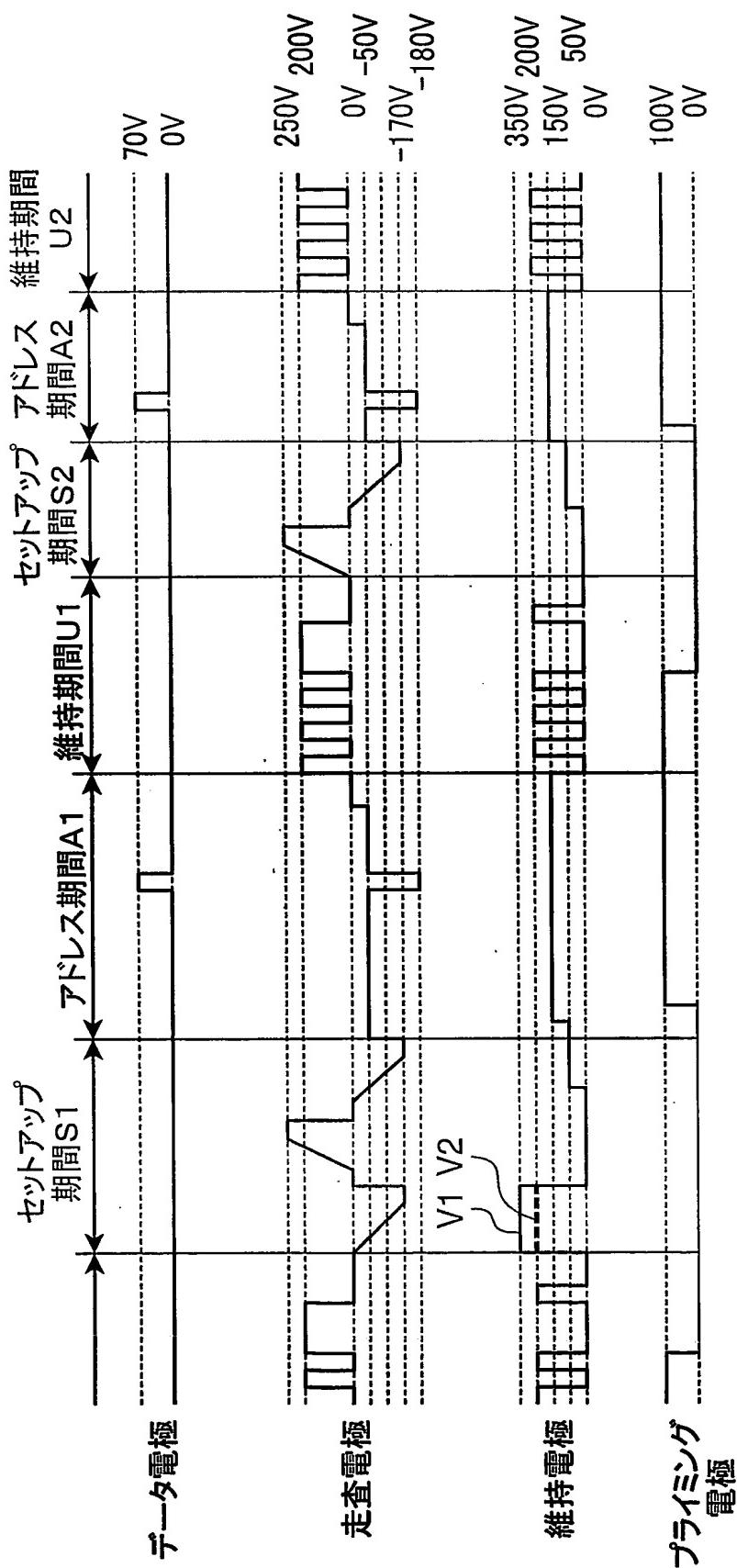


図 19

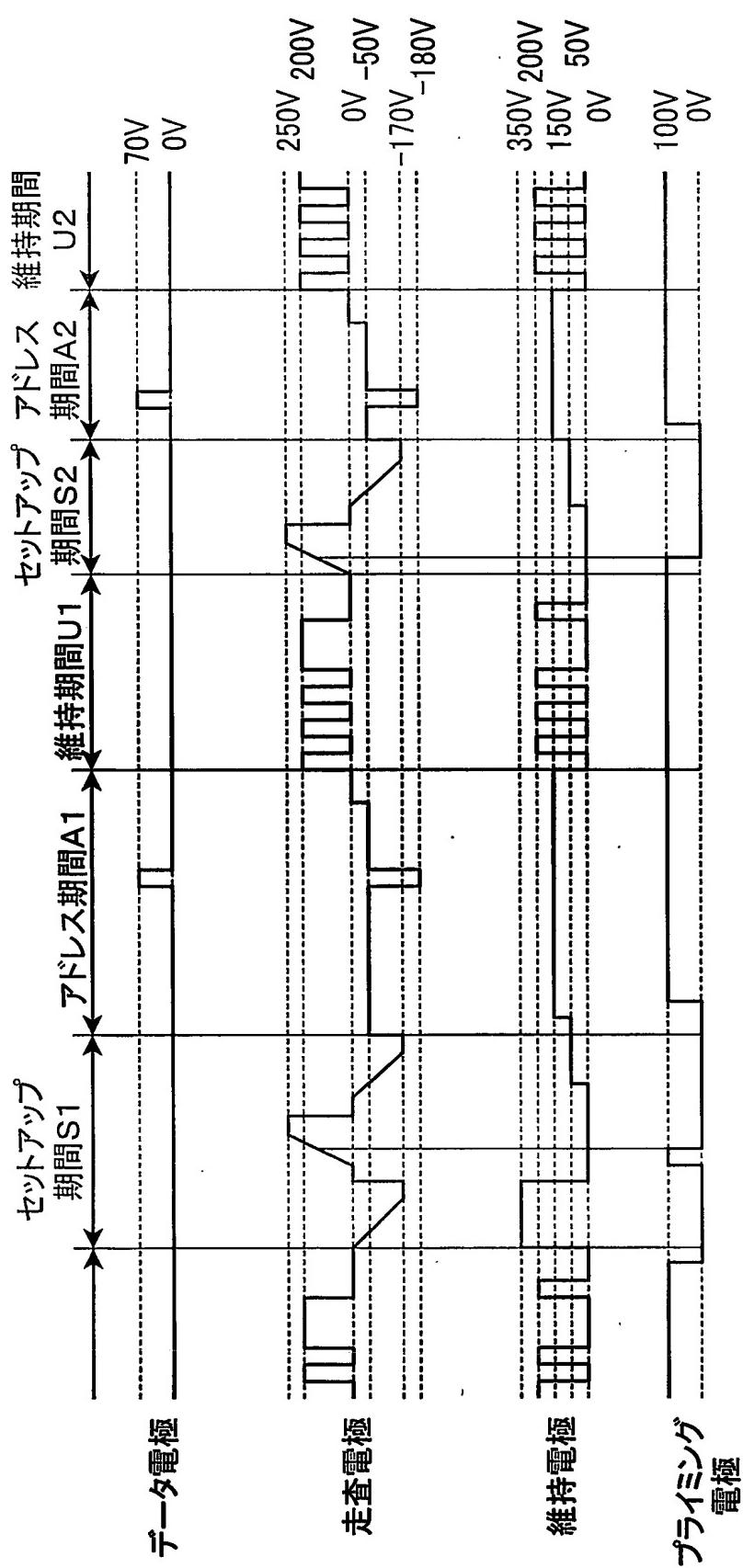
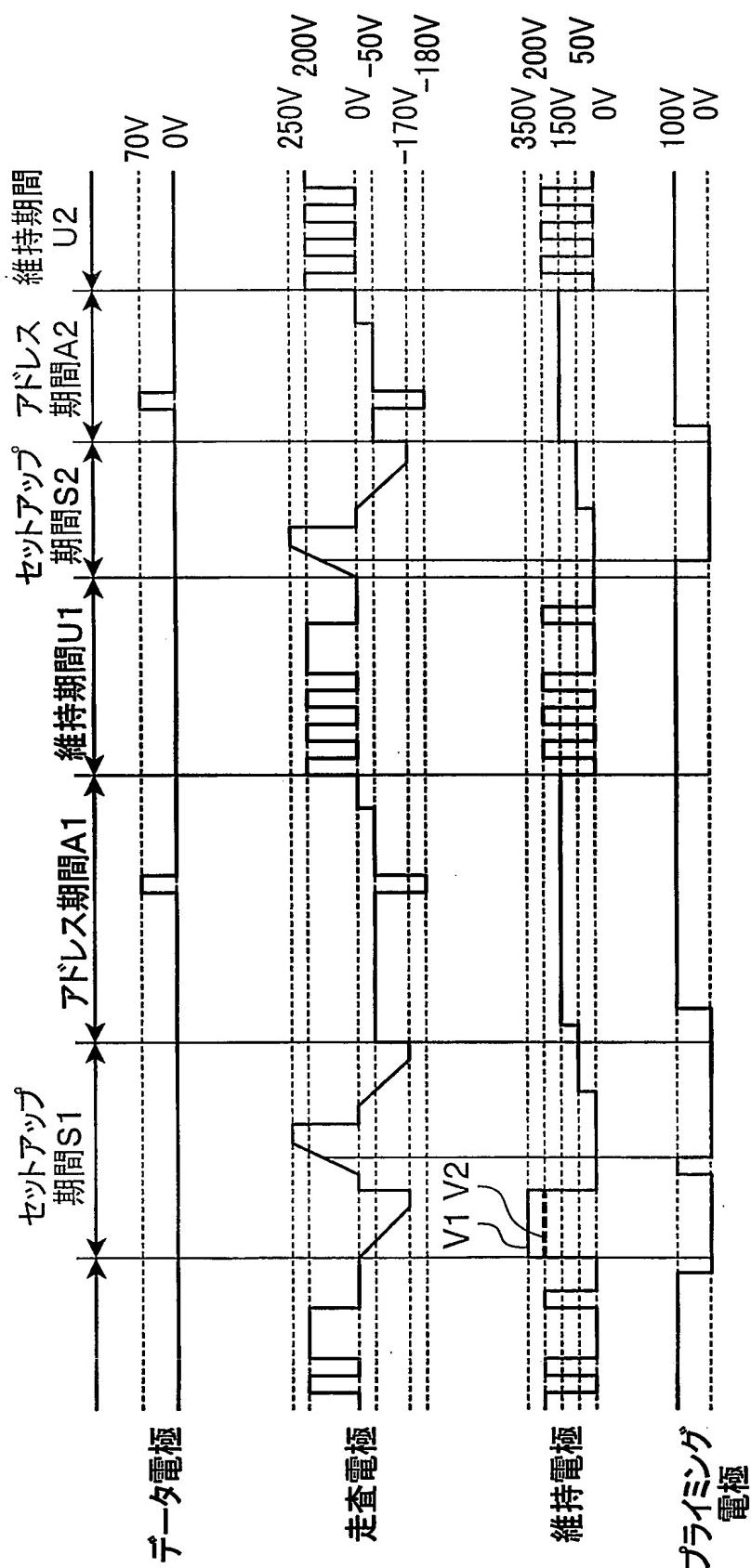


図 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009221

A. CLASSIFICATION OF SUBJECT MATTER
 Int.C1⁷ G09G3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

 Int.C1⁷ G09G3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-297091 A (Matsushita Electric Industrial Co., Ltd.), 09 October, 2002 (09.10.02), Full text; all drawings & KR 2003/029883 & TW 518539 B & US 2004/095294 A1 & WO 2002/019305 A1	1-11
A	JP 11-297211 A (NEC Corp.), 29 October, 1999 (29.10.99), Full text; all drawings & KR 99083169 A & US 6313580 B1 & US 6496167 B2	1-11

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search
 28 September, 2004 (28.09.04)

 Date of mailing of the international search report
 19 October, 2004 (19.10.04)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Faesimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009221

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-151445 A (Pioneer Electronic Corp.), 23 May, 2003 (23.05.03), Full text; all drawings & CN 1417832 A & EP 1316937 A2 & KR 2003/038517 A & US 2003/090443 A1	1-11
A	JP 2000-294149 A (Hitachi, Ltd.), 20 October, 2000 (20.10.00), Par. Nos. [0011], [0028], [0038]; Figs. 1, 7, 38 (Family: none)	1-11
A	JP 11-133913 A (Fujitsu Ltd.), 21 May, 1999 (21.05.99), Par. Nos. [0073] to [0075]; Fig. 12 & EP 903719 A2 & US 6512501 B1	2
A	JP 2000-20021 A (Fujitsu Ltd.), 21 January, 2000 (21.01.00), Par. Nos. [0032] to [0033]; Fig. 2 & EP 969446 A2 & US 6608609 B1	3
A	JP 2001-228821 A (Matsushita Electric Industrial Co., Ltd.), 24 August, 2001 (24.08.01), Par. Nos. [0087] to [0104]; Fig. 10 (Family: none)	9

国際調査報告

国際出願番号 PCT/JP2004/009221

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' G09G3/28

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' G09G3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-297091 A (松下電器産業株式会社) 2002.10.09, 全文・全図 &KR 2003/029883 A &TW 518539 B &US 2004/095294 A1 &WO 2002/019305 A1	1-11
A	JP 11-297211 A (日本電気株式会社) 1999.10.29, 全文・全図 &KR 99083169 A &US 6313580 B1 &US 6496167 B2	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

28.09.2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

橋本 直明

2G 9707

電話番号 03-3581-1101 内線 3225

C(続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-151445 A (パイオニア株式会社) 2003. 05. 23, 全文・全図 &CN 1417832 A &EP 1316937 A2 &KR 2003/038517 A &US 2003/090443 A1	1-11
A	JP 2000-294149 A (株式会社日立製作所) 2000. 10. 20, 段落番号【0011】，【0028】， 【0038】，図1，7，38 (ファミリーなし)	1-11
A	JP 11-133913 A (富士通株式会社) 1999. 05. 21 段落番号【0073】-【0075】，図12 &EP 903719 A2 &US 6512501 B1	2
A	JP 2000-20021 A (富士通株式会社) 2000. 01. 21 段落番号【0032】-【0033】，図2 &EP 969446 A2 &US 6608609 B1	3
A	JP 2001-228821 A (松下電器産業株式会社) 2001. 08. 24 段落番号【0087】-【0104】，図10 (ファミリーなし)	9